

**Инструкция по эксплуатации**  
64-канального модуля дискретного ввода-вывода,  
ЦАП и АЦП в конструктиве РС/104.  
**РС104-DD64**  
**ГФКП.467239.014**

## *Содержание*

1. Назначение .....	2
2. Технические характеристики.....	2
3. Структура PC104-DD64 и контроллера DD64 .....	3
4. Начало работы.....	4
5. Описание регистров общего назначения.....	4
6. Контроллер DI/DO. Работа с разовыми командами. ....	5
7. Выходные РК .....	6
8. Входные РК .....	7
9. Прерывания РК.....	7
10. Матрицы выдачи .....	9
11. «One Hot» фильтры выходных РК .....	10
12. Типы РК платы PC104-DD64.....	13
13. Описание ЦАП (тип AD5392).....	15
14. Работа с ЦАП AD5392.....	18
15. Типовые алгоритмы работы с ЦАП AD5392.....	20
16. Описание АЦП AD7328 .....	21
17. Работа с АЦП AD7328.....	22
18. Типовые алгоритмы работы с АЦП AD7328.....	25
19. Работа с таймером.....	27
20. Рекомендации по эксплуатации и техническому обслуживанию .....	30
Приложение 1. Регистры PC104-DD64.....	33
Приложение 2. Габаритный чертеж модуля PC104-DD64 .....	34

## 1. Назначение.

Модуль PC104-DD64 предназначен:

1. для сопряжения шины ISA в конструктиве PC/104 с системами и устройствами по 32 независимым 32 объединенным группами по 4 гальванически развязанным/связанным и дискретным каналам (разовым командам (РК));
2. для преобразования аналоговых сигналов, представленных в виде напряжения, в цифровой код, передаваемый на шину ISA;
3. Для преобразования цифровых кодов, передаваемых в изделие по шине ISA в аналоговые сигналы, представленные в виде напряжения.

## 2. Технические характеристики.

- ▶ Шина ISA;
- ▶ Количество 16-ти разрядных портов ввода/вывода и прерываний: 8 и 1;
- ▶ до 32 независимых и до 32 объединенных группами по 4 гальванически (не)развязанных разовых команд
  - Количество входных  $N_{вх}$  = от 0 до 64 входных РК;
  - Количество выходных  $N_{вых}$  = от 0 до (64 -  $N_{вх}$ ) выходных РК;
- Тип и гальваническая развязка определяются опционально при заказе;
- ▶ Время срабатывания выходного каскада РК:  $T_{тур} = 0,18$  мС,  $T_{мах} = 0,5$  мС;
- ▶ Время срабатывания входного каскада РК:  $T_{тур} = 10$  мкС,  $T_{мах} = 80$  мкС;
- ▶ Типы и характеристики РК :
  - Гальванически развязанные:
    - Параметры Вых. РК тип «сухой контакт»: Напряжение  $U < 80В$ ; Ток  $I_{мах} < 500mA$ ;
  - Гальванически НЕ развязанные:
    - Параметры Вых. РК тип «Ключ на корпус»: Напряжение  $U < 80В$ ; Ток  $I_{мах} < 500mA$ ;
    - Параметры Выходных РК типы: +5В/обрыв:
      - Напряжение  $U = U_{ист} = 5В$  (Определяется значением источника питания +5В)
      - Ток  $I_{мах} < 500mA$  для 1 каскада РК. (сумм. ток, определяется мощностью источника питания +5В).
    - Параметры Входных РК всех типов:
      - Минимальный диапазон напряжения срабатывания: 2 – 4 В\*;
      - По умолчанию значение входного напряжения РК: логический «0»  $0В \leq U_{вх} \leq 16В$   
логическая «1»  $20В \leq U_{вх}$
      - Минимальный Ток срабатывания не более  $\sim 0,5mA$ \*;
- ▶ 8 каналов АЦП с гальванической развязкой.
  - разрядность АЦП: 13 бит (12 + 1 знак).
  - время преобразование по 1 каналу 2,5 мС
  - диапазон напряжений для каждого канала: +/-10, +/-5, +/-2.5, 0...10 В
  - входное сопротивление 10 Мом.
- ▶ 8 каналов ЦАП с гальванической развязкой.
  - разрядность ЦАП: 14 бит.
  - время преобразование по 1 каналу 10 мС
  - диапазон напряжений для каждого канала: +/-10, +/-5, 0...10 В
- ▶ 16-ти разрядный Таймер, тактируемый от 16-ти разрядного делителя частоты 1МГц.
- ▶ Прерывание от любой РК и/или от регистра сравнения Таймера.
- ▶ Поддержка мультизадачного управления (запись регистров по маске).
- ▶ Встроенный источник питания +30В / 30mA.
- ▶ Возможность одновременного изменения состояния всех выходных РК по 1 команде.

\* - значение может быть задано индивидуально для каждого канала при заказе.

### 3. Структура PC104-DD64 и контроллера DD64

Внутренняя организация модуля представлена на рис.:

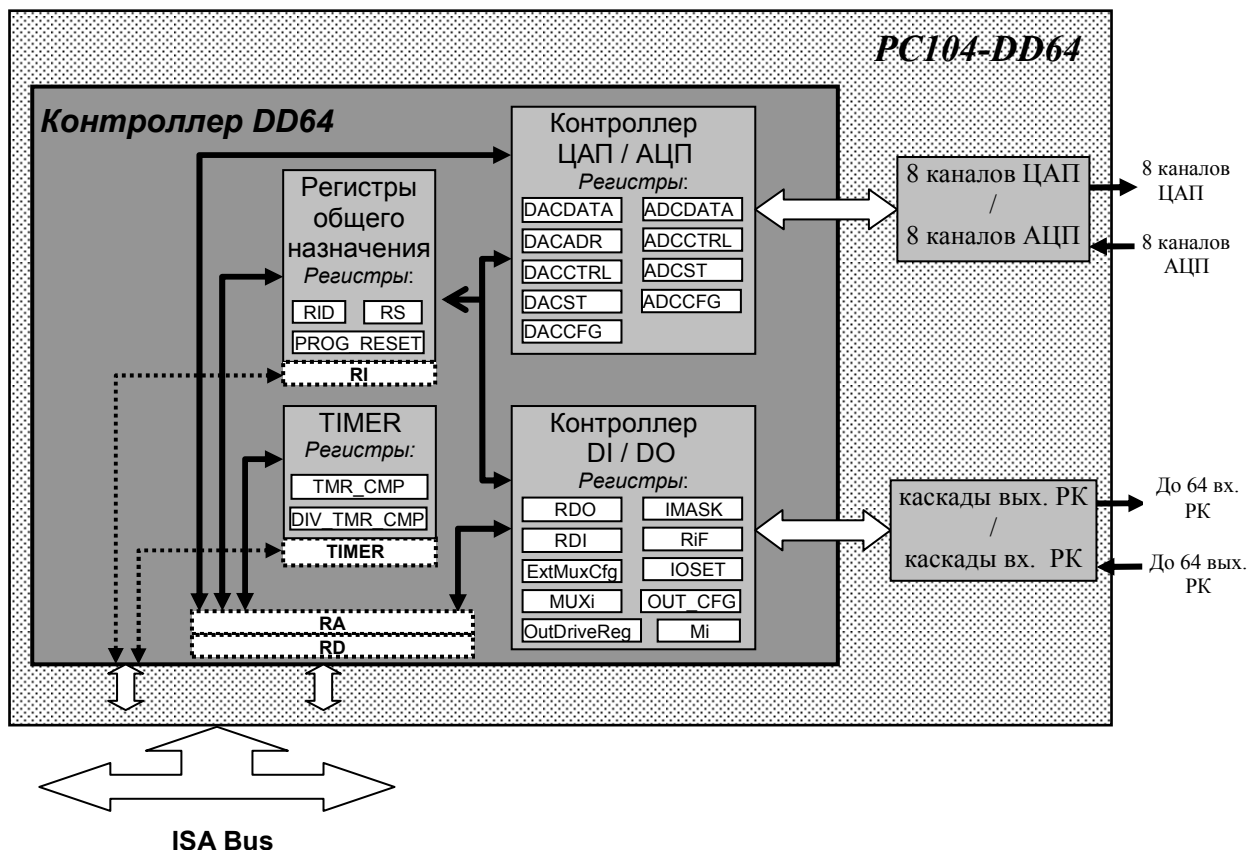


Рис. Структурная схема модуля PC104-DD64 и контроллера DD64

Обмен данными модуля с шиной ISA осуществляются через 16-разрядные регистры-порты модуля, входящие в адресное пространство портов шины ISA. Доступ к внутренним регистрам организован через прямую и косвенную адресацию. В зоне прямой адресации находятся регистры с быстрым доступом (одна транзакция по ISA) **RI** – регистр прерываний и **TIMER** – регистр таймера, а также регистры доступа к зоне косвенной адресации **RA** – регистр адреса и **RD** – регистр данных. Доступ к остальным внутренним блокам происходит через регистры **RA** и **RD** (две транзакция со стороны ISA). В зоне косвенной адресации находятся регистры настройки таймера, регистры общего назначения, регистры управления каналами разовых команд (**PK**) и регистры ЦАП/АЦП.

Смещение	Регистр прямой адресации
+0h	Reserved
+2h	Reserved
+4h	Reserved
+6h	Reserved
+8h	<b>RI</b>
+Ah	<b>TIMER</b>
+Ch	<b>RA</b>
+Eh	<b>RD</b>

RA	Регистры косвенной адресации
00h	Регистры контроллера вх/вых PK: <b>RDOi, RDli, OutDriveReg, IMASKi, RiFi, EXT_MUX_CFG, MUXi, IOSETi, OUT_CFGi, Mi</b>
·	Регистры общего назначения:
·	<b>RID, RS, PROG_RESET</b>
·	Регистры контроллера ЦАП/АЦП:
·	<b>DACDATA, DACADR, DACCTRL, DACST, ADCDATA, ADCCTRL, ADCST, DACCFG, ADCCFG</b>
·	Регистры таймера:
9Fh	<b>TMR_CMP, DIV_TMR_CLK</b>

## 4. Начало работы

Перед установкой модуля в ЭВМ пользователю необходимо сконфигурировать базовый адрес модуля BASE в поле джамперов XSA и прерывание IRQ в поле джамперов XIRQ (см. Приложение 2 «Габаритный чертеж модуля PC104-DD64»).

Конфигурация базового адреса:

$$BASE = SA(9..0) = S_9 1.0 S_6 S_5 S_4 .0000,$$

где  $S_9, S_6, S_5, S_4 = 1$  при установленных джамперах и  
 $= 0$  при снятых джамперах поля XSA.

Дальнейшая работа с устройством осуществляется с использованием этих значений.

Обращение к регистрам устройства, находящихся в зоне косвенной адресации, производится через регистры адреса RA и данных RD:

Формат регистра адреса RA (Address = BASE+Ch)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	ADR <sub>15</sub>	ADR <sub>14</sub>	ADR <sub>13</sub>	ADR <sub>12</sub>	ADR <sub>11</sub>	ADR <sub>10</sub>	ADR <sub>9</sub>	ADR <sub>8</sub>	ADR <sub>7</sub>	ADR <sub>6</sub>	ADR <sub>5</sub>	ADR <sub>4</sub>	ADR <sub>3</sub>	ADR <sub>2</sub>	ADR <sub>1</sub>	ADR <sub>0</sub>
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

Формат регистра данных RD (Address = BASE+Eh)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	DAT <sub>15</sub>	DAT <sub>14</sub>	DAT <sub>13</sub>	DAT <sub>12</sub>	DAT <sub>11</sub>	DAT <sub>10</sub>	DAT <sub>9</sub>	DAT <sub>8</sub>	DAT <sub>7</sub>	DAT <sub>6</sub>	DAT <sub>5</sub>	DAT <sub>4</sub>	DAT <sub>3</sub>	DAT <sub>2</sub>	DAT <sub>1</sub>	DAT <sub>0</sub>
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

Для чтения или записи регистра косвенной адресации производится запись значение адреса в регистр RA, а затем чтение либо запись регистра RD соответственно.

## 5. Описание регистров общего назначения

В зоне регистров общего назначения находятся регистры, объединяющие управление и контроль внутренними функциональными блоками контроллера DD64. Рассмотрим их по отдельности:

Формат данных регистра идентификатора модуля RID (RA = 00h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	Hver <sub>3</sub>	Hver <sub>2</sub>	Hver <sub>1</sub>	Hver <sub>0</sub>	Fver <sub>7</sub>	Fver <sub>6</sub>	Fver <sub>5</sub>	Fver <sub>4</sub>	Fver <sub>3</sub>	Fver <sub>2</sub>	Fver <sub>1</sub>	Fver <sub>0</sub>	Rrev <sub>3</sub>	Rrev <sub>2</sub>	Rrev <sub>1</sub>	Rrev <sub>0</sub>
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

Код в регистре содержит информацию об аппаратной версии модуля и о версии встроенного ПО, где:

**Hver[3...0]** – Аппаратная версия (Hardware version)

**Fver[7...0]** – Версия встроенного программного обеспечения (Firmware Version)

**Rrev[3...0]** – Редакция встроенного программного обеспечения (Firmware Revision)

Формат данных регистра программного сброса PROG RESET (RA = 75h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	x	x	x	x	x	x	x	x	x	x	x	x	Res <sub>3</sub>	Res <sub>2</sub>	Res <sub>1</sub>	Res <sub>0</sub>
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

При записи в биты Res[3..0] значения Ah происходит программный сброс модуля. Запись кода отличного от xxxAh, а также изменения остальных бит регистра значения не имеет.

При формировании программного сброса все управляющие регистры и таймер переходят в состояние **Default**.

Формат данных регистра настроек **RS (RA = 01h)**

№ бита	15	14	13	12	11	10	9	8
Название бита	Tst_Pwr_On	IRQ_timer_mode	Global_int_ena	DO_Default_Set	Timer_Up_Down	Timer_mode	Timer_ena	Timer_int_ena
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

№ бита	7	6	5	4	3	2	1	0
Название бита	Int64_49_ena	Int_48_33_ena	Int_32_17_ena	Int_16_1_ena	DI64_49_ena	DI48_33_ena	DI32_17_ena	DI16_1_ena
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

Default = 1000h.

Задание режимов модуля, управление прерываниями, таймером, а также входными и выходными разовыми командами осуществляется через регистр настроек **RS**:

**RS[0]** = DI16\_1\_ena = 1/0 - разрешение/запрет приема вх-х ПК DI1 – DI16;  
**RS[1]** = DI32\_17\_ena = 1/0 - разрешение/запрет приема вх-х ПК DI17 – DI32;  
**RS[2]** = DI48\_33\_ena = 1/0 - разрешение/запрет приема вх-х ПК DI33 – DI48;  
**RS[3]** = DI64\_49\_ena = 1/0 - разрешение/запрет приема вх-х ПК DI49 – DI64;

**RS[4]** = Int\_16\_1\_ena = 1/0 - разрешение/запрет формир. прерываний от вх-х ПК DI1 – DI16.  
**RS[5]** = Int\_32\_17\_ena = 1/0 - разрешение/запрет формир. прерываний от вх-х ПК DI17 – DI32.  
**RS[6]** = Int\_48\_33\_ena = 1/0 - разрешение/запрет формир. прерываний от вх-х ПК DI33 – DI48.  
**RS[7]** = Int\_64\_49\_ena = 1/0 - разрешение/запрет формир. прерываний от вх-х ПК DI49 – DI64.

**RS[8]** = Timer\_interrupt\_ena = 1/0 - разрешение/запрет формирование прерываний от таймера  
**RS[9]** = Timer\_ena = 1/0 - запуск /остановка таймера  
**RS[10]** = Timer\_mode = 1/0 - однократный / циклический режим работы таймера  
**RS[11]** = Timer\_Up\_Down = 1/0 - счет таймера с декрементом / инкрементом  
**RS[12]** = DO\_Default\_Set = 1/0 - управление выходными ПК от матриц состояния (TTL, OutDriveReg) / от регистров выходных ПК (DO8\_1...DO64\_57).  
 По умолчанию DO\_Default\_Set=1

**RS[13]** = Global\_int\_ena = 1/0 - режим разрешения / запрещения глобального прерывания.  
**RS[14]** = IRQ\_timer\_mode = 1/0 - задает режим формирования прерывания от таймера: с отбоем по чтению таймера / без отбоя.

**RS[15]** = Test\_Power\_On = 1/0 - включение / отключение тестового источника питания TST\_PWR с напряжением 30 В мощностью 1 Вт, предназначенного для проверки разовых команд.

Формат данных регистра прерываний **RI (Adress= BASE+08h)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	0	0	0	TMR	FLAG RiF64_49	FLAG RiF48_33	FLAG RiF32_17	FLAG RiF16_1
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

Default = 0010h.

Код в регистре содержит вектор прерываний модуля. После возникновения прерывания первым должен быть прочитан и проанализирован вектор регистра **RI**, в котором устанавливаются флаги источников прерывания:

**TMR** – флаг прерывания от таймера (Default-значение TMR=1. Сбрасывается записью в TIMER любого значения.)

FLAG RiF64\_49 – флага от ПК 49-64, регистра RiF64\_49

FLAG RiF48\_33 – флага от ПК 33-48, регистра RiF48\_33

FLAG RiF32\_17 – флага от ПК 17-32, регистра RiF32\_17

FLAG RiF16\_1 – флага от ПК 1-16, регистра RiF16\_1

Более подробно описание регистра RI рассмотрено в разделе «Прерывания ПК» и «Работа с таймером».

Формат данных регистра таймера **TIMER (Adress= BASE+0Ah)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	TMR15	TMR14	TMR13	TMR12	TMR11	TMR10	TMR9	TMR8	TMR7	TMR6	TMR5	TMR4	TMR3	TMR2	TMR1	TMR0
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где **TMR[15..0]** – значение таймера.

Более подробно описание регистра TIMER рассмотрено в разделе «Работа с таймером»

## 6. Контроллер DI/DO. Работа с разовыми командами.

Структурная схема Контроллера DI/DO и вх./вых. каскадов разовых команд:

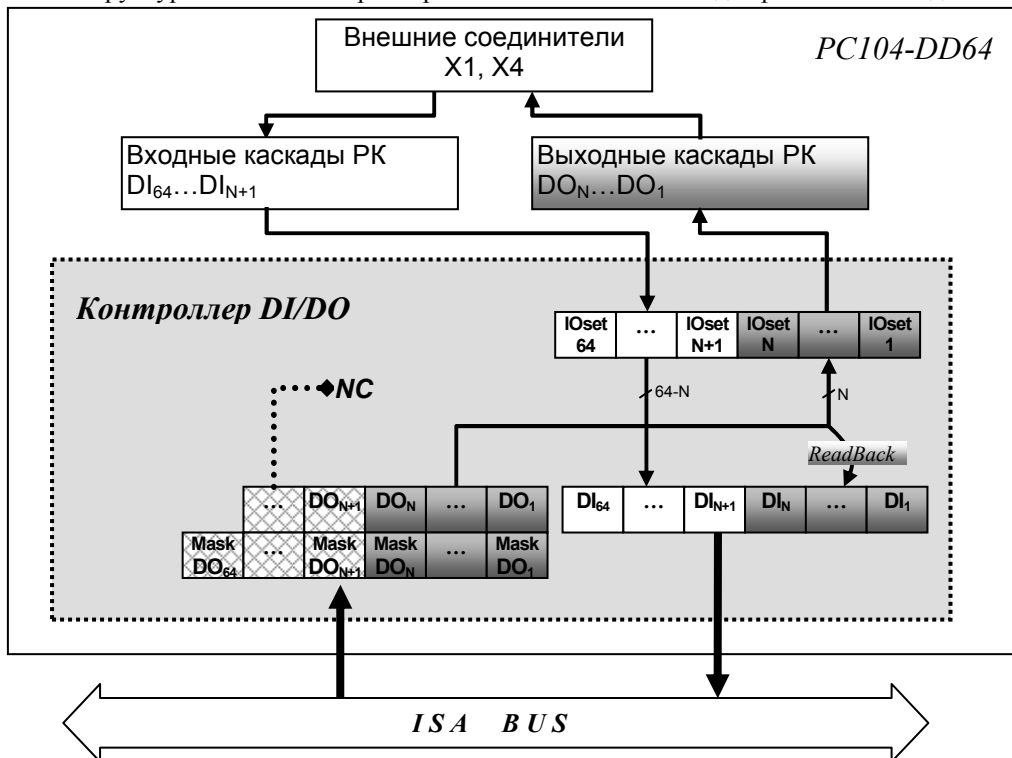


Рис. Структурная схема ПК, где:

**RDO** – глобальный 64-разрядный регистр **выходных** ПК.

**RDI** – глобальный 64-разрядный регистр **входных** ПК.

**IOSet** – глобальный 64-разрядный регистр **конфигурации** входных / выходных ПК.

Программная модель модуля в части ПК является универсальной, т.е. не зависит от того, какая конфигурация ПК (инверсная или прямая логика, входная или выходная ПК) реализована (собрана) при заказе конкретного модуля.

Состояние конфигурации входных/выходных ПК отражено в регистре IOSet, доступном только для чтения. Каждой ПК, вне зависимости от того, сконфигурирована она на вход или на выход, соответствует один бит в глобальном регистре вх-х ПК RDI и один бит в глобальном регистре выходных ПК RDO. Если n-я ПК сконфигурирована при сборке модуля **на выход**, то соответствующий ей n-й бит в регистре **входных** ПК RDI отражает текущее состояние выходного каскада ПК (функция *readback* на структурной схеме). Если n-я ПК реализована при сборке модуля как **вход**, то соответствующий ей n-й бит регистра входных ПК RDI отражает текущее состояние линии ПК, а состояние n-ого бита регистра **выходных** ПК RDO не имеет значения.

## 7. Выходные ПК

Значение, записанное в регистр RDO, устанавливает выходные линии ПК в состояние включено/выключено.

Структура глобального 64-разрядного регистра выходных разовых команд **RDO**

№ вых ПК	57-64	49-56	41-48	33-40	25-32	17-24	9-16	1-8
Название регистра	RDO64_57	RDO56_47	RDO48_41	RDO40_33	RDO32_25	RDO24_17	RDO16_9	RDO8_1
Адрес в RA	0Fh	0Eh	0Dh	0Ch	0Bh	0Ah	09h	08h

Как видно из таблицы, глобальный регистр RDO состоит из восьми регистров RDO64\_57..RDO8\_1, каждый из которых имеет формат данных, представленный ниже:

Формат данных регистров выходных ПК  $RDO_{n+7\_n}$  (RA= 08h ... 0Fh):

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	mask DO <sub>n+7</sub>	mask DO <sub>n+6</sub>	mask DO <sub>n+5</sub>	mask DO <sub>n+4</sub>	mask DO <sub>n+3</sub>	mask DO <sub>n+2</sub>	mask DO <sub>n+1</sub>	mask DO <sub>n</sub>	DO <sub>n+7</sub>	DO <sub>n+6</sub>	DO <sub>n+5</sub>	DO <sub>n+4</sub>	DO <sub>n+3</sub>	DO <sub>n+2</sub>	DO <sub>n+1</sub>	DO <sub>n</sub>
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

Где n – это номер первой ПК в регистре, принимает значения:

n = 1 (RDO8\_1), 9 (RDO16\_9), 17 (RDO24\_17), 25 (RDO32\_25), 33 (RDO40\_33), 41 (RDO48\_41), 49 (RDO56\_49), 57 (RDO64\_57);

DO<sub>n+x</sub> –бит, отвечающий за состояние ПК с номером n+x (где X от 0 до 7);

mask DO<sub>n+x</sub> – маска ПК с номером n+x (где X от 0 до 7).

Запись в 16-разрядные регистры  $RDO_{n+7\_n}$  осуществляется по маске **mask DO<sub>n+x</sub>**, где биты младшего байта определяют состояние выходных ПК, а соответствующие биты старшего байта разрешают/запрещают изменение битов младшего байта регистра  $RDO_{n+7\_n}$  ('1'-запись разрешена, '0'-изменение запрещено). Данная возможность реализована для поддержки мультизадачного управления, т.е. использования одного и того же регистра ПК в различных независимых приложениях. Используя данный механизм, разные программы могут независимо использовать ПК, управление которыми осуществляется через один и тот же регистр  $RDO_{n+7\_n}$  без необходимости отслеживания за битами ПК «чужих» приложений.

## 8. Входные ПК

Прием разовых команд осуществляется в глобальный регистр входных ПК RDI.

Структура глобального 64-разрядного регистра входных разовых команд **RDI**:

№ вх ПК	49-64	33-48	17-32	1-16
Название регистра	<b>RDI64_49</b>	<b>RDI48_33</b>	<b>RDI32_17</b>	<b>RDI16_1</b>
Адрес в RA	0Fh	0Dh	0Bh	09h

Как видно из таблицы, регистр RDI состоит из четырех регистров RDI64\_49 .. RDI16\_1, каждый из которых имеет формат данных, представленный ниже:

Формат данных регистров входных ПК **RDI<sub>m+15\_m</sub>** (RA= 09h, 0Bh, 0Dh, 0Fh):

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	<b>DI<sub>m+15</sub></b>	<b>DI<sub>m+14</sub></b>	<b>DI<sub>m+13</sub></b>	<b>DI<sub>m+12</sub></b>	<b>DI<sub>m+11</sub></b>	<b>DI<sub>m+10</sub></b>	<b>DI<sub>m+9</sub></b>	<b>DI<sub>m+8</sub></b>	<b>DI<sub>m+7</sub></b>	<b>DI<sub>m+6</sub></b>	<b>DI<sub>m+5</sub></b>	<b>DI<sub>m+4</sub></b>	<b>DI<sub>m+3</sub></b>	<b>DI<sub>m+2</sub></b>	<b>DI<sub>m+1</sub></b>	<b>DI<sub>m</sub></b>
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

где m – номер первой ПК в регистре, принимает значения:

**m = 1** (RDI16\_1), **17** (RDI32\_17), **33** (RDI48\_33), **49** (RDI64\_49).

**DI<sub>m+y</sub>** – бит, отвечающий за состояние ПК с номером m+y (где Y от 0 до 15);

Текущие состояния ПК, сформированных в глобальном регистре **RDO**, отражаются в соответствующих битах глобального регистра входных ПК **RDI (ReadBack)**.

*Пример.* Если выдать, например, 5-ю ПК, записав в регистр **RDO8\_1** (RA=0x08h) значение 0xFF10 (запись по маске FFh) и например 15-ю ПК, записав в регистр **RDO16\_9** (RA=0x09h) значение 0xFF40 (запись по маске FFh), то в регистре **RDI16\_1(09h)**, доступном по чтению, можно будет прочитать значение 0x4010.

## 9. Прерывания ПК

В модуле реализован механизм формирования прерывания от любой ПК, в том числе и от выходных ПК через регистр RDI посредством функции **ReadBack**.

Работа с прерываниями модуля осуществляется через регистры **RI** (зона прямой адресации), **RiF**, **iMASK**, а также битов **13, 7.4** регистра **RS**.

Разрешение глобального прерывания производится записью значения '1' в бит RS[13] (Global interrupt enable). Разрешение прерывания от ПК устанавливается в регистре RS[7..4], каждый из 4-х битов которого отвечает за определенную группу ПК. Значение '1' записанное в RS[4]- разрешает прерывания от группы ПК 1-16, RS[5] – от ПК 17-32, RS[6] – от ПК 33-48, а RS[7] – от ПК 49-64. Побитовое разрешение прерываний от ПК производится в 64-разрядном глобальном регистре **iMASK**.

Информация о принятых прерываниях отображается в регистре **RI**, а также в глобальном 64-разрядном регистре **RiF**, состоящем из 4-х регистров RiF64\_49, RiF48\_33, RiF32\_17, RiF16\_1. В модуле реализован механизм быстрого анализа прерываний, при котором нет необходимости читать все четыре регистра **RiF<sub>i+7\_i</sub>** (где i=1, 17, 33, 49), определяя наличие флагов прерываний от ПК. Достаточно прочитать регистр **RI**, содержащий информацию о том, какой из четырех регистров **RiF<sub>i+7\_i</sub>** был модифицирован, и далее прочитать соответствующий регистр **RiF**, чтобы понять, от какой именно ПК поступило прерывание.

*Примечание.* Выходная ПК также может являться источником прерываний, если прерывания были разрешены соответствующими этой ПК битами регистра **iMASK**.

Формат данных регистра прерываний **RI (Adress= BASE+08h)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	0	0	0	<b>TMR</b>	<b>FLAG RiF64_49</b>	<b>FLAG RiF48_33</b>	<b>FLAG RiF32_17</b>	<b>FLAG RiF16_1</b>
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

**TMR** – флаг прерывания от таймера

**FLAG RiF64\_49** – флага от ПК 49-64, регистра RiF64\_49

**FLAG RiF48\_33** – флага от ПК 33-48, регистра RiF48\_33

**FLAG RiF32\_17** – флага от ПК 17-32, регистра RiF32\_17

**FLAG RiF16\_1** – флага от ПК 1-16, регистра RiF16\_1

Настройка прерываний от входных ПК осуществляется в глобальном регистре масок прерываний ПК **iMASK**.

Структура глобального 64-разрядного регистра масок прерываний **iMASK**:

№ вых ПК	57-64	49-56	41-48	33-40	25-32	17-24	9-16	1-8
Название регистра	<b>iMASK_64_57</b>	<b>iMASK_56_47</b>	<b>iMASK_48_41</b>	<b>iMASK_40_33</b>	<b>iMASK_32_25</b>	<b>iMASK_24_17</b>	<b>iMASK_16_9</b>	<b>iMASK_8_1</b>
Адрес в RA	1Fh	1Eh	1Dh	1Ch	1Bh	1Ah	19h	18h



Глобальный регистр iMASK состоит из восьми регистров iMASK\_64\_57 .. iMASK\_8\_1, каждый из которых имеет формат данных, представленный ниже:

Формат данных регистров масок прерываний PK iMASK<sub>k+7\_k</sub> (RA = 18h ... 1Fh):

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	M <sub>2</sub> DI <sub>k+7</sub>	M <sub>1</sub> DI <sub>k+7</sub>	M <sub>2</sub> DI <sub>k+6</sub>	M <sub>1</sub> DI <sub>k+6</sub>	M <sub>2</sub> DI <sub>k+5</sub>	M <sub>1</sub> DI <sub>k+5</sub>	M <sub>2</sub> DI <sub>k+4</sub>	M <sub>1</sub> DI <sub>k+4</sub>	M <sub>2</sub> DI <sub>k+3</sub>	M <sub>1</sub> DI <sub>k+3</sub>	M <sub>2</sub> DI <sub>k+2</sub>	M <sub>1</sub> DI <sub>k+2</sub>	M <sub>2</sub> DI <sub>k+1</sub>	M <sub>1</sub> DI <sub>k+1</sub>	M <sub>2</sub> DI <sub>k</sub>	M <sub>1</sub> DI <sub>k</sub>
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

где k – номер первой PK в регистре, принимает значения:

k = 1 (iMASK\_8\_1), 9 (iMASK\_16\_9), 17 (iMASK\_24\_17), 25 (iMASK\_32\_25), 33 (iMASK\_40\_33), 41 (iMASK\_48\_41), 49 (iMASK\_56\_49), 57 (iMASK\_64\_57).

Каждой разовой команде DI<sub>k+z</sub> (где z от 0 до 7) отводится по 2 бита – M<sub>2</sub> и M<sub>1</sub> со следующими значениями:

M<sub>2</sub>M<sub>1(k+z)</sub> = 00 – прерывание запрещено от (k+z)-й входной PK;

M<sub>2</sub>M<sub>1(k+z)</sub> = 01 – прерывание по фронту от (k+z)-й PK;

M<sub>2</sub>M<sub>1(k+z)</sub> = 10 – прерывание по спаду от (k+z)-й PK;

M<sub>2</sub>M<sub>1(k+z)</sub> = 11 – прерывание по фронту и по спаду от (k+z)-й PK.

Глобальный регистр флагов прерываний разовых команд RiF:

Структура глобального 64-разрядного регистра RiF:

№ вх PK	49-64	33-48	17-32	1-16
Название регистра	RiF64_49	RiF48_33	RiF32_17	RiF16_1
Адрес в RA	2Fh	2Dh	2Bh	29h

Глобальный регистр флагов прерываний RiF состоит из четырех регистров RiF64\_49 .. RiF16\_1, каждый из которых имеет формат данных, представленный ниже:

Формат данных регистров флагов прерываний RiFi+7\_i (RA = 29h, 2Bh, 2Dh, 2Fh):

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	RiFi+15	RiFi+14	RiFi+13	RiFi+12	RiFi+11	RiFi+10	RiFi+9	RiFi+8	RiFi+7	RiFi+6	RiFi+5	RiFi+4	RiFi+3	RiFi+2	RiFi+1	RiFi
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где i - номер первой PK в регистре и соответствующего ему флага, принимает значения:

i=1 (RiF16\_1), 17 (RiF32\_17), 33 (RiF48\_33), 49 (64\_49).

RiFi+q – флаг прерывания от входной PK DI<sub>i+q</sub>.

В случае если в iMASK прерывание разрешено, в регистре RiF при соответствующем событии возникает флаг, а при разрешенном бите RS[7..4] () будет сгенерировано прерывание. Для правильной обработки прерываний ПО пользователя, предусмотрен механизм корректного обнуления обработанных флагов: чтобы отбить прерывания необходимо записать в RiF прочитанное из него значение и тем самым обнулить только обработанные флаги. Если же за время, которое ПО тратит на обработку значений прочитанных из RiF возникнут новые флаги, то после записи последнего прочитанного значения обнулятся только обработанные флаги, а новые флаги сохранят линию прерывания в активном состоянии, что снова сгенерирует прерывание при выходе из обработчика.

## 10. Матрицы выдачи

Матрицы выдачи представляют собой восемь 64-х разрядных массивов, записанных в ПЗУ модуля и предназначенных для одномоментной выдачи на выходные каскады РК по команде ПО пользователя, либо путем задания переключателей на плате. С помощью матриц выдачи пользователь может установить/предустановить состояние выходных РК в обход регистра RDO, а так же в момент подачи питания, когда плата ещё не находится под управлением ПО пользователя. Обращаем внимание на то, что количество разрядов матрицы может отличаться от количества выходных РК модуля. Те биты матрицы, которые соответствуют входным РК не имеют значения. Такая структура создана для обеспечения универсальной программной модели, т.е. независимости аппаратной реализации модуля от внутренней структуры регистров: номер бита в матрице всегда соответствует номеру РК, независимо от того вход это или выход. Структурная схема управления выходными РК представлена на рис.

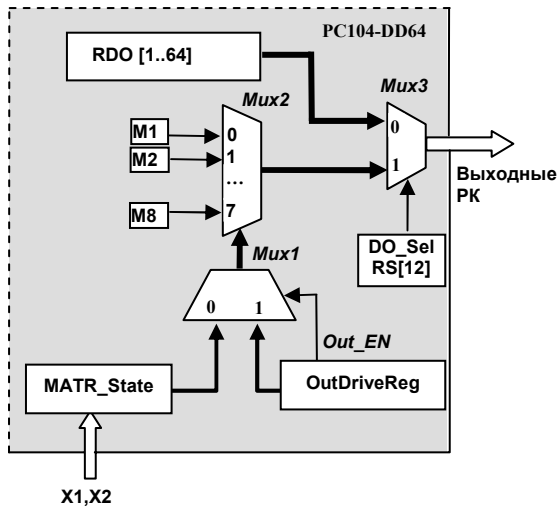


Рис. Структурная схема управления выходными РК

**Mux3** – мультиплексор определяющий источник сигналов для выходных РК.  
*Управление:* Бит в регистре **RS[12]-(DO\_Sel)**, устанавливает, будут ли в каскады выходных РК передаваться значения регистра RDO или одна из матриц, определяемых мультиплексором Mux2.

*Default state:* **RS[12]-(DO\_Sel) = 1**, т.е. управление выходами РК от матрицы Mn, где n = 1..8.

**Mux2** – мультиплексор подключения матрицы Mn, где n = 1..8, которая будет подана на Mux3.  
*Управление:* Установка номера матрицы производится от мультиплексора Mux1.

**Mux1** – мультиплексор коммутирующий номер матрицы, заданный в регистрах **OutDriveReg** и **RD\_MATR** (состояние переключателей X1, X2).  
*Управление:* Бит в регистре **OutDriveReg[15]-(Out\_EN)** задает источник управления выбором матрицы

*Default state:* **OutDriveReg[15]-(Out\_EN) = 0**, т.е. управление от **RD\_MATR** (X1, X2).

**RDO** (rd/wr) – 64-х разрядный глобальный регистр выходных РК;

**M1..M8** (rd) – 64-разрядные матрицы выдачи.

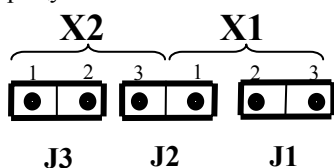
**MATR\_State** (rd) – регистр отражающий состояние переключателей X1, X2;

**OutDriveReg** (rd/wr) – регистр программного задания [биты 2..0] и управления источником [бит 15] номера матрицы выдачи Mn, где n = 1..8.

**Out\_EN => OutDriveReg[15] = 0/1** – номер матрицы задается регистром **RD\_MATR** (X1, X2) / программно, значением в регистре **OutDriveReg[2..0]**.

### Работа матриц выдачи M1..M8:

В момент подачи питания выходные каскады РК переходят в состояния, задаваемые одной из восьми матриц выдачи. Матрицы выдачи содержат стандартные значения, жестко заданные в плате и не доступные для модификации, например, 0x0000.0000.0000.0000h, 0x0F00.0F00.0F00.0F00h или 0xFF00.FF00.FF00.FF00h (см. таблицу), эти значения доступны по чтению. Матрицы выдачи позволяют еще до загрузки ПО пользователя, которая может занять длительное время, установить выходные РК в определенные состояния. Матрица выдачи называется **активной**, если значение, содержащееся в ней, передано на выходы РК. После загрузки управляющего ПО номер активной матрицы может быть изменён программно либо управление переключено на регистр RDO. Номер активной матрицы, после подачи питания определяется состояниями джамперов J1, J2, J3 разъема X1, X2 модуля. С помощью джамперов можно установить любую из 8 комбинаций на X1, X2 и задать таким образом активную матрицу:



Наличие (1) / Отсутствие (0) джамперов			Матрица	Адреса RA	Доступ	Значение матрицы
J3	J2	J1				
0	0	0	M1	80h..83h	rd	0x0000.0000.0000.0000
0	0	1	M2	84h..87h	rd	0x0100.0100.0100.0100
0	1	0	M3	88h..8Bh	rd	0x0300.0300.0300.0300
0	1	1	M4	8Ch..8Fh	rd	0x0700.0700.0700.0700
1	0	0	M5	90h..93h	rd	0x0F00.0F00.0F00.0F00
1	0	1	M6	94h..97h	rd	0x1F00.1F00.1F00.1F00
1	1	0	M7	98h..9Bh	rd	0x3F00.3F00.3F00.3F00
1	1	1	M8	9Ch..9Fh	rd	0xFF00.FF00.FF00.FF00

Таким образом, пользователь имеет возможность задать начальные состояния РК еще до загрузки ОС. Конфигурация джамперов на X1, X2 доступна по чтению в регистре MATR\_State.

### Формат данных регистра MATR\_State (RA = 60h):

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Название бита	0	0	0	0	0	0	0	0	0	0	0	0	0	0	J3	J2	J1
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

Для программного переключения между матрицами (установки активной матрицы), уже после загрузки пользовательского ПО, используется регистр **OutDriveReg**.

Формат данных регистра **OutDriveReg (RA = 14h)**

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	<b>OUT_EN</b>	x	x	x	x	x	x	x	x	x	x	x	x	<b>mset2</b>	<b>mset1</b>	<b>mset0</b>
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

**mset2 ... mset0** – биты задают номер активной матрицы №№1-8

mset2	mset1	mset0	Матрицы
0	0	0	M1
0	0	1	M2
0	1	0	M3
0	1	1	M4
1	0	0	M5
1	0	1	M6
1	1	0	M7
1	1	1	M8

OUT\_EN = 1 – управление выходами по активной матрице, заданной в регистре **OutDriveReg**.

0 - управление выходами по активной матрице, заданной джамперами на X11, X22.

Переключение управления между активной матрицей и регистром **RDO** ПК осуществляется установкой и снятием бита **DO\_Default\_Set** регистра **RS[12]** (см.стр.5).

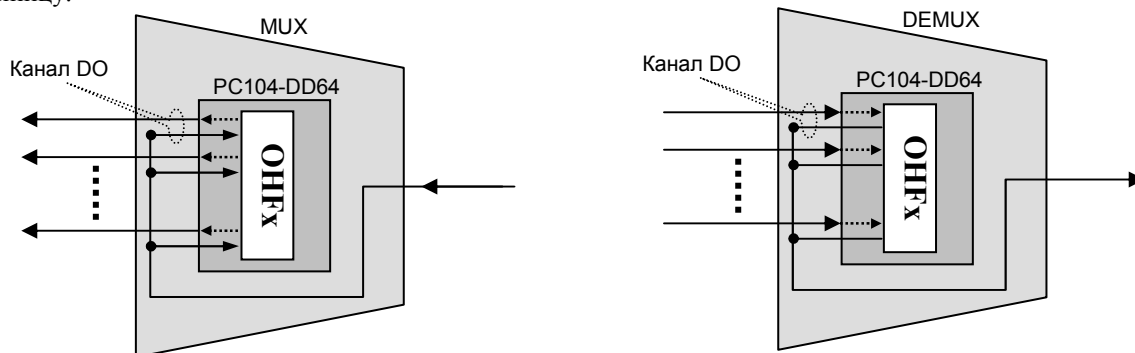
**DO\_Default\_Set** = 1 (*Default state*) – управление выходными ПК осуществляется от активной матрицы  $M_n$  (где  $n=1..8$ ).

= 0 – управление выходными ПК осуществляется от регистра выходных ПК **RDO**.

## 11. «One Hot» фильтры выходных ПК

Модуль в части выходных ПК (DO) представляет собой, набор независимо управляемых линий, т.е. между линиями отсутствует взаимосвязь на аппаратном уровне. В программной модели контроллера DI/DO предусмотрена возможность задания взаимной связи между группами ПК по принципу «One Hot» (далее OH), т.е. в группе может быть активной (т.е. значение бита в **RDO** = "1") только одна ПК либо все ПК выключены. Данная возможность обеспечивает защиту на аппаратном уровне в особо ответственных задачах управления, где недопустимо совместное включение любых из группы управляющих выходных ПК, в независимости от состояния ПО и ОС (зависание, программный сбой, ошибка на этапе отладки ПО), под управлением которых работает модуль. Одной из таких задач является мультиплексирование и демультимплексирование сигнала (см. рис.).

ОН-фильтры устанавливаются на группу ПК. Глобальные 64-разрядные регистры **OHF1**, **OHF2**, **OHF3** позволяют организовать до 3-х ОН-фильтров для групп выходных ПК модуля. Для того, чтобы организовать фильтр группы выходных ПК, необходимо установить соответствующие биты в регистрах настройки **OHF1**, **OHF2**, **OHF3** в единицу.



Пример мультиплексирования и демультимплексирования сигналов с помощью модуля DD64-ISA с аппаратной защитой фильтром OHF

Структурная схема и пример реализации ОН-фильтров представлен на рисунке.

В группе ПК, объединенной ОН-фильтром, на выходной каскад будет поступать только старшее значение «1» из установленной для ПК группы в регистре **RDO**. Все значения ПК = «1», которые младше, будут обнулены ОН-фильтром и поступят на выходные каскады, при этом соответствующие биты регистра **RDO** останутся неизменными. Как видно из рисунка фильтры **OHF1**, **OHF2**, **OHF3** расположены таким образом, что на фильтр со старшим номером может быть подан результат, полученный от фильтра с младшим номером.

Рассмотрим пример на рисунке. В фильтре **OHF1** организована группа1 из трех произвольных ПК:  $RDO_a$ ,  $RDO_b$  и  $RDO_c$ . Значения :  $RDO_a$  и  $RDO_b = \langle 1 \rangle$ , а :  $RDO_c = \langle 0 \rangle$ . Значение ПК=«1» старшей в группе установлено для  $RDO_b$ . Соответственно на выходе **OHF1** только  $RDO_b$  будет иметь значение «1».

В фильтре OHF2 организована группа 2 из трех ПК: RDO<sub>a</sub>, RDO<sub>b</sub> и RDO<sub>d</sub>, т.е. таким образом, что 2 ПК из группы 1 попадают в группу 2. Значение же старшей ПК на входе группы 2 равной «1» соответствует RDO<sub>d</sub>. Т.е. на выходе фильтра OHF2 в состоянии «1» будет только ПК RDO<sub>d</sub>.  
 011<sub>bin</sub> => OHF1 => 010<sub>bin</sub>; 110<sub>bin</sub> => OHF2 => 100<sub>bin</sub>

Простое применение фильтра показано для группы 3 из 3-х ПК. Здесь значения RDO<sub>63</sub>, RDO<sub>1</sub> и RDO<sub>2</sub> = «1», при этом на выходные каскады поступит только старшее единичное значение ПК RDO<sub>63</sub>. Значение RDO<sub>1</sub> и RDO<sub>2</sub> на выходе будет соответствовать «0». 111<sub>bin</sub> => 100<sub>bin</sub>.

Обращаем внимание, что объединение в группы ПК через ОН-фильтры никак не влияет на значения в регистре RDO. Значения же для выходных ПК прочитанных в регистре RDI (ReadBack) будут соответствовать фактическому состоянию, поступающему на выходные каскады ПК.

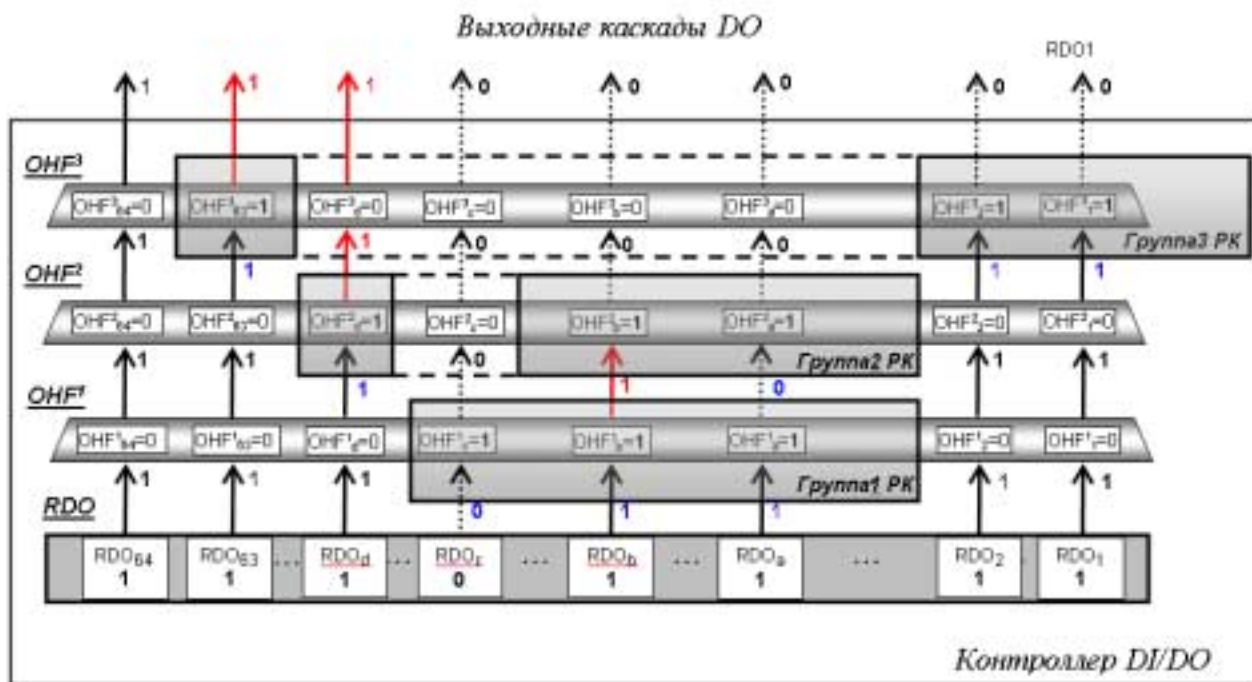


Рис. Пример реализации схемы ОН-фильтров модуля PC104-DD64.

При наличии нескольких модулей PC104-DD64 имеется возможность объединения ОН-фильтров этих модулей. Для этого используется порты OHF\_sm[3..1] разъема X3 (см. рис). Фильтры OHF<sup>3</sup>..OHF<sup>1</sup> подключены к линиям портов OHF\_sm3 .. OHF\_sm1 соответственно.

Любая линия может быть настроена в регистре Ext\_OHF\_sm как Master (выход) или как Slave (вход). Если линия настроена как Master, то на ней устанавливается активный уровень 0 или 1 в соответствии со значением подключенного к ней ОН-фильтра: если хотя бы одна ПК объединенная в группу ОН-фильтра находится в состоянии «1», то значение выхода Master будет в «1», если же все ПК группы в состоянии «0», выход Master = «0». Т.о. происходит передача состояния ОН-фильтра к фильтру другой платы. ОН-фильтр другой платы принимает через свою линию OHF\_sm в режиме Slave состояние фильтра платы Master. Таким образом ОН-фильтры 2-х разных плат объединяются в один с распределением ПК от старших в плате Master к младшим в плате Slave. Возможно объединение до 4-х плат.

**ВНИМАНИЕ!!!** Недопустимо объединение плат и одновременная установка при этом состояния соединенных линий OHF\_sm в режим Master (в регистре Ext\_OHF\_sm).

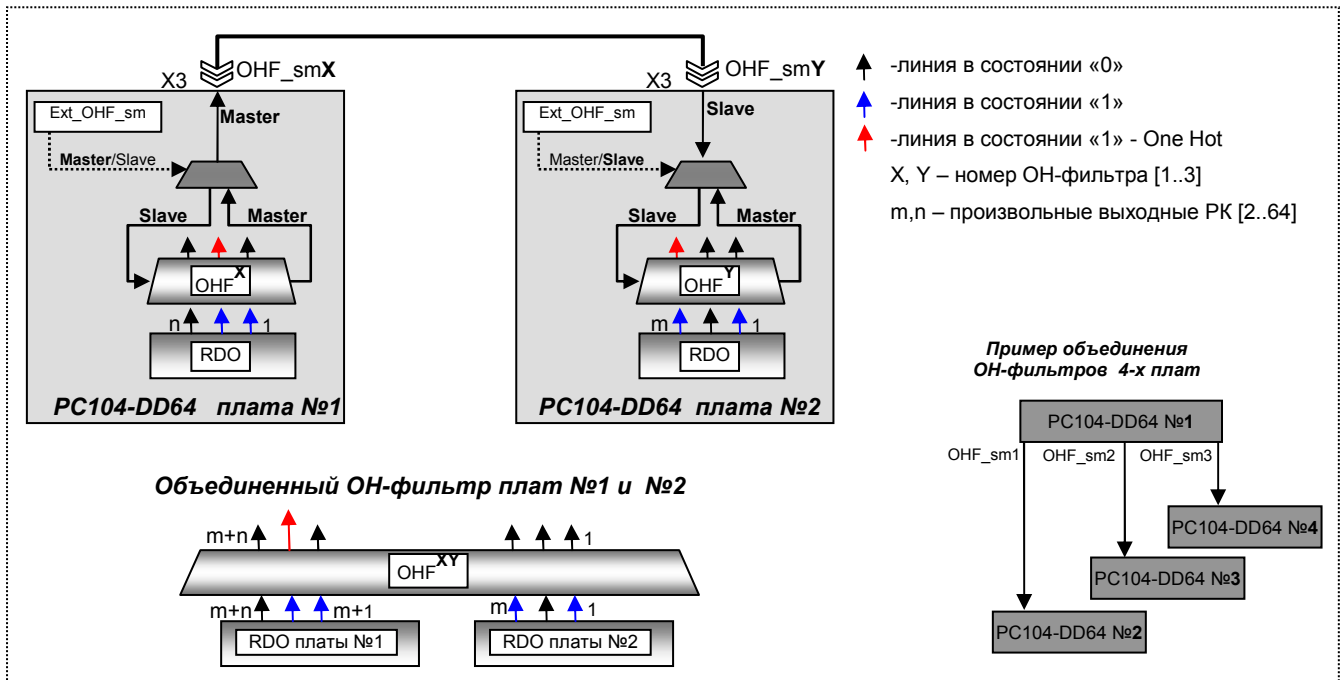


Рис. Структурная схема объединения фильтров модулей PC104-DD64.

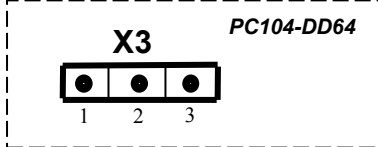


Рис. Разъем X3 портов внешнего конфигурирования ОН-фильтров  
 где X3-1 – порт OHF\_sm1  
 X3-2 – порт OHF\_sm2  
 X3-3 – порт OHF\_sm3

• **Регистры настройки фильтров ОНФ.**

Структура трех глобальных 64-разрядных регистров настройки фильтров **ОНФ**:

	№ вых РК	49-64	33-48	17-32	1-16
ОНФ <sup>1</sup>	Название регистра	ОНФ <sup>1</sup> 64_49	ОНФ <sup>1</sup> 48_33	ОНФ <sup>1</sup> 32_17	ОНФ <sup>1</sup> 16_1
	Адрес в RA	3Fh	3Dh	3Bh	39h
ОНФ <sup>2</sup>	Название регистра	ОНФ <sup>2</sup> 64_49	ОНФ <sup>2</sup> 48_33	ОНФ <sup>2</sup> 32_17	ОНФ <sup>2</sup> 16_1
	Адрес в RA	4Fh	4Dh	4Bh	49h
ОНФ <sup>3</sup>	Название регистра	ОНФ <sup>3</sup> 64_49	ОНФ <sup>3</sup> 48_33	ОНФ <sup>3</sup> 32_17	ОНФ <sup>3</sup> 16_1
	Адрес в RA	5Fh	5Dh	5Bh	59h

Каждый глобальный регистр ОНФ<sup>1</sup>, ОНФ<sup>2</sup>, ОНФ<sup>3</sup> состоит из четырех регистров ОНФ<sup>1,2,3</sup>64\_49 .. ОНФ<sup>1,2,3</sup>16\_1, каждый из которых имеет формат данных, представленный ниже:

Формат данных регистров настройки фильтров: **ОНФ<sup>1</sup><sub>n+15\_n</sub> (RA = 39h, 3Bh, 3Dh, 3Fh)**  
**ОНФ<sup>2</sup><sub>n+15\_n</sub> (RA = 49h, 4Bh, 4Dh, 4Fh)**  
**ОНФ<sup>3</sup><sub>n+15\_n</sub> (RA = 59h, 5Bh, 5Dh, 5Fh)**

№ вых.РК	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	ОНФ <sup>1</sup> <sub>n+15</sub>	ОНФ <sup>1</sup> <sub>n+14</sub>	ОНФ <sup>1</sup> <sub>n+13</sub>	ОНФ <sup>1</sup> <sub>n+12</sub>	ОНФ <sup>1</sup> <sub>n+11</sub>	ОНФ <sup>1</sup> <sub>n+10</sub>	ОНФ <sup>1</sup> <sub>n+9</sub>	ОНФ <sup>1</sup> <sub>n+8</sub>	ОНФ <sup>1</sup> <sub>n+7</sub>	ОНФ <sup>1</sup> <sub>n+6</sub>	ОНФ <sup>1</sup> <sub>n+5</sub>	ОНФ <sup>1</sup> <sub>n+4</sub>	ОНФ <sup>1</sup> <sub>n+3</sub>	ОНФ <sup>1</sup> <sub>n+2</sub>	ОНФ <sup>1</sup> <sub>n+1</sub>	ОНФ <sup>1</sup> <sub>n</sub>
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где n – номер первой РК в регистре = 1 (ОНФ<sup>1</sup>16\_1), n = 17 (ОНФ<sup>1</sup>32\_17), n = 33 (ОНФ<sup>1</sup>48\_33), n = 49 (ОНФ<sup>1</sup>64\_49);  
 ОНФ<sup>X</sup><sub>i</sub> = 1/0 – подключение/отключение i-й выходной РК к входу ОН-фильтра X (где n = [64..0], X = [3..1]).

Регистры конфигурации портов подключения внешних ОН-фильтров модуля **EXT\_OHF\_sm (RA = 30h)**

Формат данных регистра:

№ бита	7	6	5	4	3	2	1	0
Название бита	0	ОНФ_sm3 Slave	ОНФ_sm2 Slave	ОНФ_sm1 Slave	0	ОНФ_sm3 Master	ОНФ_sm2 Master	ОНФ_sm1 Master
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

Возможные конфигурации линии OHF\_sm<sub>n</sub> (где n = [1..3]):

OHF_sm <sub>n</sub> Slave	OHF_sm <sub>n</sub> Master	Режим	Состояние линии порта OHF_sm <sub>n</sub>
0	0	NC	линия OHF_sm <sub>n</sub> отключена. Внутренний фильтр OHF <sup>n</sup> не передает и не зависит от состояния внешнего порта EXT_OHF_sm.
0	1	Master	линия OHF_sm <sub>n</sub> сконфигурирована как выход и передает состояние фильтра OHF <sup>n</sup> .
1	X	Slave	линия OHF_sm <sub>n</sub> сконфигурирована как выход и влияет на состояние фильтра OHF <sup>n</sup> .

## 12. Типы ПК платы PC104-DD64

Возможные типы разовых команд платы PC104-DD64\*:

Тип	Выходные	Входные
	Гальванически развязанные	
<b>Сухой контакт</b>		
<b>Гальванически не развязанные</b>		
<b>5B / Обрыв</b>		
<b>5B / 0</b>		
<b>0 / Обрыв (Ключ на корпус)</b>		
<b>0 / 5B</b>		

**Примечания:**

$R_{prot}$  – защитный резистор порядка десятков Ом.

$R_{thr}$  - резистор, определяющий напряжение срабатывания РК

$R_t$  - подтягивающий резистор.

1. Ограничение по току на один вывод выходной РК:  $I_{max} < 500$  мА.

2. Суммарный ток на все выходы  $\sum I_{max}$  ограничен мощностью источника питания системы.

3. Обозначения на схемах «GND» соответствуют значению «земли» источника питания.

\* Каждая из 64 разовых команд может быть смонтирована на плате любым вышеописанным способом (опционально при заказе).

Информация о наличии и направлении каскадов разовых команд модуля отображается в глобальных 64-разрядных регистрах конфигурации IOCFG1 и IOCFG2. Каждой РК соответствует один бит в регистре IOCFG1 и один бит в регистре IOCFG2. 64-разрядные регистры IOCFG1 и IOCFG2 доступны только по чтению и отображают информацию о наличии и направлении каждой РК, которая может являться Входной, Выходной, либо быть физически не установленной на плате. Информация об этом приведена в таблице ниже, на примере произвольной i-й РК (где i может принимать значения от 1 до 64):

IOCFG1 <sub>i</sub>	IOCFG2 <sub>i</sub>	Наличие/направление РК
0	0	РК не установлена на плате
	1	РК установлена / Входная РК
1	x	РК установлена / Выходная РК

Структура глобальных 64-разрядных регистров IOCFG1:

№ вх РК	49-64	33-48	17-32	1-16
Название регистра	IOCFG1_64_49	IOCFG1_48_33	IOCFG1_32_17	IOCFG1_16_1
Адрес в RA	7Bh	7Ah	79h	78h

Структура глобальных 64-разрядных регистров IOCFG2:

№ вх РК	49-64	33-48	17-32	1-16
Название регистра	IOCFG2_64_49	IOCFG2_48_33	IOCFG2_32_17	IOCFG2_16_1
Адрес в RA	7Fh	7Eh	7Dh	7Ch

Каждый регистр IOCFG<sub>x</sub> (где x=1 или 2) состоит из четырех регистров IOCFG<sub>x</sub>\_64\_49 .. IOCFG<sub>x</sub>\_16\_1, в свою очередь, каждый из них имеет формат данных, представленный ниже:

Формат данных регистров конфигурации РК IOCFG<sub>x</sub>\_n+15\_n (RA = 78h, 79h, 7Ah, 7Bh):

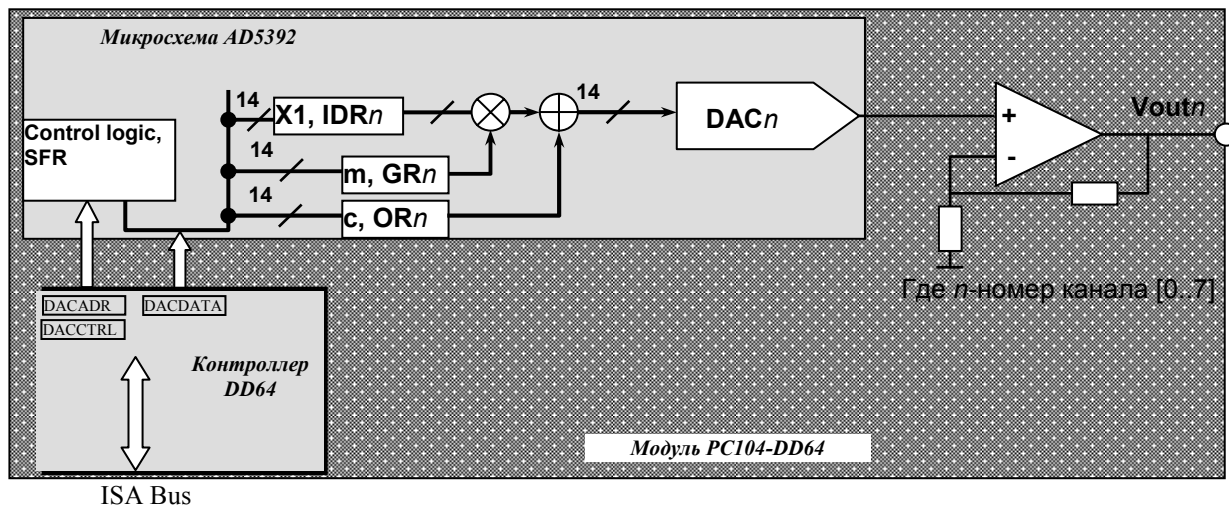
№ вых РК	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	IOCFG <sub>x</sub> <sub>n+15</sub>	IOCFG <sub>x</sub> <sub>n+14</sub>	IOCFG <sub>x</sub> <sub>n+13</sub>	IOCFG <sub>x</sub> <sub>n+12</sub>	IOCFG <sub>x</sub> <sub>n+11</sub>	IOCFG <sub>x</sub> <sub>n+10</sub>	IOCFG <sub>x</sub> <sub>n+9</sub>	IOCFG <sub>x</sub> <sub>n+8</sub>	IOCFG <sub>x</sub> <sub>n+7</sub>	IOCFG <sub>x</sub> <sub>n+6</sub>	IOCFG <sub>x</sub> <sub>n+5</sub>	IOCFG <sub>x</sub> <sub>n+4</sub>	IOCFG <sub>x</sub> <sub>n+3</sub>	IOCFG <sub>x</sub> <sub>n+2</sub>	IOCFG <sub>x</sub> <sub>n+1</sub>	IOCFG <sub>x</sub> <sub>n</sub>
Доступ	rd	rd	rd	rd	rd	rd	Rd	rd	Rd	rd	rd	rd	rd	rd	rd	rd

где n – номер первой РК в регистре = 1 (IOCFG<sub>x</sub>16\_1), n = 17 (IOCFG<sub>x</sub>32\_17),

n = 33 (IOCFG<sub>x</sub>48\_33), n = 49 (IOCFG<sub>x</sub>64\_49);

### 13. Описание ЦАП (тип AD5392)

Модуль имеет до 8 каналов ЦАП в зависимости от исполнения, реализованных на базе микросхемы AD5392 с разрешающей способностью 14-разрядов. Все каналы имеют программируемый диапазон выходного напряжения (одинаковый для всех каналов). Доступны диапазоны  $\pm 10\text{В}$ ,  $\pm 5\text{В}$ ,  $0\text{В}..+10\text{В}$ . Каждый из каналов ЦАП имеет программируемый коэффициент усиления и коэффициент смещения, которые позволяют индивидуально калибровать каждый из каналов ЦАП. Схематическая структура ЦАП представлена на рисунке:



Работа с ЦАП модуля PC104-DD64 осуществляется путем настройки и передачи данных в **регистры данных каналов IDR**, **регистры коэффициента усиления GR**, **регистры смещения OR**, **регистры спец.функций SFR** микросхемы AD5392. Доступ к этим регистрам осуществляется через регистры **DACADR**, **DACDATA**, **DACCTRL** контроллера DD64, которые в свою очередь доступны по шине PC/104 (ISA).

Регистры ЦАП (IDR, OR, GR, SFR), а также механизмы доступа к ним по шине PC/04 (ISA) будут описаны ниже.

Рассмотрим внутреннюю структуру одного канала ЦАП (где n – номер канала от 0 до 7):

Выходное напряжение **Vout** вычисляется по формуле:

$$V_{out} = (V_{\max} - V_{\min}) \cdot \frac{\frac{m+2}{2^{14}} \cdot X1 + (c - 2^{13})}{2^{14}} + V_{\min} \quad (1)$$

Формула перевода напряжения в код для записи в IDR:

$$X1 = \left[ \frac{V_{out} - V_{\min}}{V_{\max} - V_{\min}} \cdot 2^{14} + 2^{13} - c \right] \cdot \frac{2^{14}}{m + 2} \quad (2)$$

где:

**Vmax** – верхняя граница выбранного диапазона напряжений,

**Vmin** – нижняя граница выбранного диапазона напряжений

**[Vmin, Vmax]** = **[-10В,+10В]**; **[-5В,+5В]**; **[0,+10В]**, соответственно для 3-х диапазонов.

**X1** - 14-битное слово, записываемое пользователем для выдачи в ЦАП.

**m** - 14-битный коэффициент усиления (значение по умолчанию 3FFEh).

**c** - 14-битный коэффициент смещения (значение по умолчанию 2000h).

Управление каналами осуществляется путем настройки регистров AD5392:

1. **Регистр данных каналов Input Data Register (IDR)**, содержащий **X1** – 14-битное слово, записываемое пользователем для выдачи в выходные каналы ЦАП.
2. **Регистр смещения Offset Register (OR)**, содержащий коэффициент смещения **C**.
3. **Регистр коэффициента усиления Gain Register (GR)**, содержащий коэффициент усиления **m**.
4. **Регистры специальных функций Special Function Registers (SFRs)**.



● **Регистр данных канала IDR** содержит код, выдаваемый на аналоговый выход ЦАП в соответствии с формулой (1). В таблице ниже представлены уровни выходов ЦАП в зависимости от значения регистра **IDR** для случая, когда коэффициенты смещения и усиления имеют значения по умолчанию:

Таблица 1.

Данные D13..D0 регистра <b>IDR</b> <b>X1</b> , bin\dec				ВЫХОДЫ ЦАП <b>Vout</b> (В)		
				Для диапазона $\pm 10В$	Для диапазона $\pm 5В$	Для диапазона $0В..+10В$
111111	1111	1111	16383	$20 \cdot (16383/16384) - 10$	$10 \cdot (16383/16384) - 5$	$10 \cdot (16383/16384)$
111111	1111	1110	16382	$20 \cdot (16382/16384) - 10$	$10 \cdot (16382/16384) - 5$	$10 \cdot (16382/16384)$
⋮				⋮	⋮	⋮
100000	0000	0001	8193	$20 \cdot (8193/16384) - 10$	$10 \cdot (8193/16384) - 5$	$10 \cdot (8193/16384)$
100000	0000	0000	8192	$20 \cdot (8192/16384) - 10$	$10 \cdot (8192/16384) - 5$	$10 \cdot (8192/16384)$
011111	1111	1111	8191	$20 \cdot (8191/16384) - 10$	$10 \cdot (8191/16384) - 5$	$10 \cdot (8191/16384)$
⋮				⋮	⋮	⋮
000000	0000	0001	1	$20 \cdot (1/16384) - 10$	$10 \cdot (1/16384) - 5$	$10 \cdot (1/16384)$
000000	0000	0000	0	0	0	0

● **Регистр смещения OR** содержит поправочный коэффициент смещения. Для каждого канала существует свой регистр смещения. В таблице представлены соответствие данных регистра **OR** значению коэффициентов смещения **C**.

Таблица 2.

Данные D13..D0 регистра <b>OR</b>	Коэффициент смещения <b>C</b>
111111 1111 1111	+8192
111111 1111 1110	+8191
⋮	⋮
100000 0000 0001	+1
100000 0000 0000 (default)	+0
011111 1111 1111	-1
⋮	⋮
000000 0000 0001	-8191
000000 0000 0000	-8192

● **Регистр коэффициента усиления GR**. Для каждого канала существует свой регистр коэффициента усиления. В таблице представлено соответствие данных регистра **GR** коэффициентам усиления **m**

Таблица 3.

Данные D13..D0 регистра <b>GR</b>	Коэффициент усиления <b>m</b>
11 1111 1111 1110 (default)	1
⋮	⋮
10 1111 1111 1110	0,75
⋮	⋮
01 1111 1111 1110	0,5
⋮	⋮
00 1111 1111 1110	0,25
⋮	⋮
00 0000 0000 0000	0

● **Зона регистров специальных функций SFRs**

Микросхема ЦАП AD5392, используемая в модуле, содержит SFR регистры специальных функций, как показано в таблице 4. Данные для записи в зону SFRs устанавливаются в регистр DACDATA, а затем доступ к регистрам/командам осуществляется по адресу, установленному в регистре DACADR:

Таблица 4.

rd/wr	DACA3	DACA2	DACA1	DACA0	Операция
wr	0	0	0	0	<b>NOP (нет операции)</b>
wr	0	0	0	1	<b>Запись в регистр CLR code Register</b>
wr	0	0	1	0	<b>Программная очистка (Soft CLR)</b>
wr	1	1	0	0	<b>Запись в регистр Channel range A register</b>
wr	1	0	1	0	<b>Запись в регистр Channel range B register</b>
wr	1	1	1	1	<b>Программный сброс (Soft reset)</b>

Описание специальных функций SFR:

### 1. NOP. (Нет операций.)

DACADR= *0000h*

Не выполняется никаких операций.

Во время выполнения операции бит DACSTAT[7]= **BUSY**= «0».

### 2. Запись в регистр CLR Code (Write CLR Code register)

DACADR= *0001h*

DACDATA= **CLR Code**.

Назначение регистра CLR Code – хранение данных, которые потом при выполнении функции программной очистки Soft CLR могут быть загружены в каналы ЦАП. Таким образом, запись значения в регистр **CLR Code** используется в сочетании с функцией программной очистки Soft CLR (см. ниже п.3.). Выполнение функции **программной очистки (Soft CLR)** загружает содержимое регистра **CLR Code** в выходные регистры DAC и устанавливает соответствующие напряжения Vout0..Vout7 на выходах ЦАП.

Запись **CLR Code** регистров может служить для быстрой калибровки ЦАП. Для выполнения быстрой калибровки пользователь может загрузить полную шкалу или нулевую шкалу в регистр **CLR Code** и затем выполнить **программную очистку** для загрузки кода во все каналы ЦАП, избежав, таким образом, индивидуальной записи во все каналы, которая может занять продолжительное время. Затем в соответствии с данными, полученными на АЦП произвести настройку значений коэффициента усиления и смещения для каждого канала.

По умолчанию в **CLR Code** регистр записаны нули.

### 3. Программная очистка (Soft CLR).

DACADR= *0002h*

DACDATA = *не важно*

При выполнении этой операции осуществляется **программная очистка** ЦАП. При этом на выходы ЦАП подаются данные, содержащиеся в регистре **CLR Code**. Время, требуемое для выполнения этой команды – 15мкс.

Во время выполнения операции бит DACSTAT[7]= **BUSY**= «1».

### 4. Настройка диапазонов каналов Channel Range A (Write Channel range A register)

DACADR= *000Ch*

DACDATA = **CRA**

**CRA** = *1600h* – диапазон [-10В ... +10 В].

**CRA** = *0600h* – диапазон [-5В ... +5 В] или [0В ... 10 В].

### 5. Настройка диапазонов каналов Channel Range B (Write Channel range B register).

DACADR= *000Ah*

DACDATA = **CRB**

**CRB** = *2400h* – диапазон [-10В ... +10 В] или [-5В ... +5 В].

**CRB** = *2500h* – диапазон [0В ... 10 В].

Сочетание значений в регистрах **CRA** и **CRB** однозначно определяют диапазоны работы ЦАП. Значения, которые необходимо записать в эти регистры для задания диапазона сведены в таблицу:

Значения регистров диапазона	Диапазон		
	-10 В ... +10 В	- 5 В ... +5 В	0 В ... +10 В
Channel range A [DA13..DA0]	<i>1600h</i>	<i>0600h</i>	<i>0600h</i>
Channel range B [DA13..DA0]	<i>2400h</i>	<i>2400h</i>	<i>2500h</i>

### 6. Программный сброс (Soft Reset).

DACADR= *000Fh*

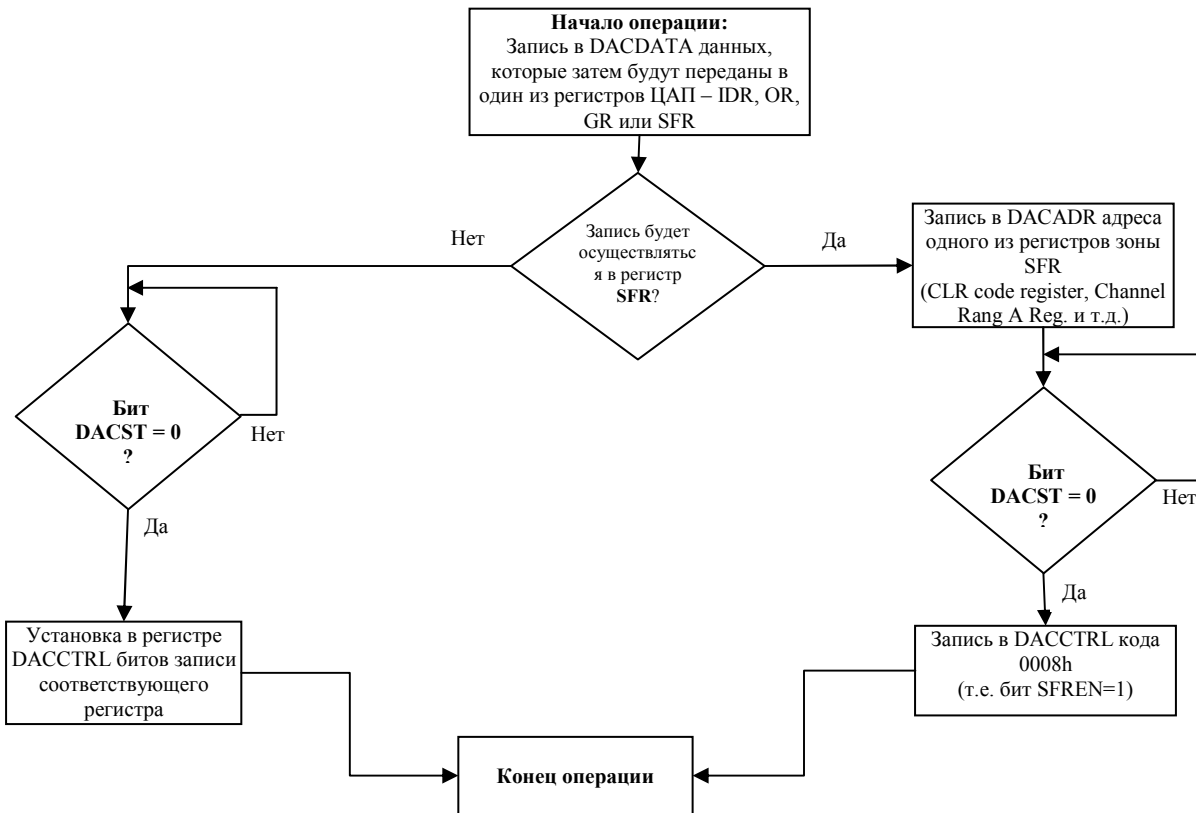
DACDATA = *не важно*

Команда необходима для выполнения **программного сброса**. Все внутренние регистры ЦАПа сбрасываются в значения по умолчанию. Содержимое DAC регистров очищается, на аналоговых выходах устанавливается напряжение 0V. Время исполнения команды программного сброса ≤ 135мкс.

## 14. Работа с ЦАП AD5392

Работа с регистрами ЦАП AD5392 осуществляется через регистры модуля **DACDATA**, **DACADR**, **DACCTRL** и **DACSTATE**.

Общий механизм записи данных в ЦАП выглядит следующим образом:



Регистр **DACCFG** содержит справочную информацию о количестве доступных для работы каналов ЦАП:

Формат регистра данных **DACCFG (RA = 20h)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	<b>DACH<sub>7</sub></b>	<b>DACH<sub>6</sub></b>	<b>DACH<sub>5</sub></b>	<b>DACH<sub>4</sub></b>	<b>DACH<sub>3</sub></b>	<b>DACH<sub>2</sub></b>	<b>DACH<sub>1</sub></b>	<b>DACH<sub>0</sub></b>
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

Если **DACH<sub>i</sub>** = «1» («0»), то это означает, что *i*-й канал ЦАП установлен (не установлен) на плате, где  $i = [0...7]$ .

Запись данных в ЦАП реализована через регистр данных **DACDATA**:

Формат регистра данных **DACDATA (RA = 03h)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	<b>DA<sub>13</sub></b>	<b>DA<sub>12</sub></b>	<b>DA<sub>11</sub></b>	<b>DA<sub>10</sub></b>	<b>DA<sub>9</sub></b>	<b>DA<sub>8</sub></b>	<b>DA<sub>7</sub></b>	<b>DA<sub>6</sub></b>	<b>DA<sub>5</sub></b>	<b>DA<sub>4</sub></b>	<b>DA<sub>3</sub></b>	<b>DA<sub>2</sub></b>	<b>DA<sub>1</sub></b>	<b>DA<sub>0</sub></b>
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

**DA[13..0]** - данные для загрузки в регистры выбранного канала ЦАП.

Регистр **DACADR** используется только для задания кодов операций

Выбор адреса регистра/команды SFR производится записью значения в регистр адреса **DACADR**:

Формат регистра адреса **DACADR (RA = 04h)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	0	0	0	0	<b>DACA3</b>	<b>DACA2</b>	<b>DACA1</b>	<b>DACA0</b>
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

Битами **DACA[3..0]** задается адреса регистра/команды SFR в соответствии с таблицей 4.

Выбор регистра ЦАП (SFRs, **GR**, **OR** или **IDR**) осуществляется через регистр **DACCTRL**

Формат регистра управления **DACCTRL (RA = 05h)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	<b>DAEN</b>	<b>OFEN</b>	<b>GFEN</b>	<b>DALD</b>	<b>SFREN</b>	<b>DACH2</b>	<b>DACH1</b>	<b>DACH0</b>

Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr
--------	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

При установке «1» в соответствующие флаги регистра, происходит запись данных в регистры канала ЦАП:

**DACH[2..0]** - номер канала ЦАП.

**DAEN= «1»** - записать данные **DA[13..0]** в регистр **IDR** данных канала **DACH[2..0]**.

**GFEN= «1»** - записать данные **DA[13..0]** в регистр **GR** коэффициента канала **DACH[2..0]**.

**OFEN= «1»** - записать данные **DA[13..0]** в регистр **OR** смещения канала **DACH[2..0]**.

**SFREN= «1»** - записать данные **DA[13..0]** в SFR регистр ЦАП с адресом **DACA[3..0]** (в регистре **DACADR**).

**DALD = «1»** - обновлять выходы каналов ЦАП.

*Примечание.* При установке бита **DALD = «1»** на выходы ЦАП передается значение напряжения, код которого содержится в регистрах **IDR**, каждого из каналов. Пользователю может быть необходимо изменить напряжения на всех каналах ЦАП одновременно. В этом случае сначала требуется записать во все регистры **IDR[2..0]** необходимые коды напряжений, каждый раз устанавливая **DALD = «0»**, а при последней записи установить **DALD = «1»**. Напряжения при этом изменятся одновременно на всех каналах.

Контроль занятости ЦАП осуществляется через регистр статуса **DACST**

Формат регистра статуса **DACST (RA = 05h ):**

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	<b>BUSY</b>	0	0	0	0	<b>DACH2</b>	<b>DACH1</b>	<b>DACH0</b>
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd

**BUSY= «1»** - признак занятости ЦАП (формируется последовательная диаграмма записи в регистры ЦАП или отсчитывается задержка для установки выхода ЦАП).

Перед каждой записью в ЦАП необходимо либо проверять, что бит **BUSY= «0»** (ЦАП не занят), либо делать гарантированную задержку между записями в ЦАП.

**DACH[2..0]** – отображение текущего состояния соответствующих битов регистра **DACCTRL**.

## 15. Типовые алгоритмы работы с ЦАП AD5392

Для начала работы с ЦАП модуля обязательна инициализация: установка диапазона ЦАП в регистрах Channel Range A (CRA) и Channel Range B (CRB) регистров специальных функций зоны SFRs.

### Основные функции работы с ЦАП.

#### 1. Инициализация каналов ЦАП:

1. Записать в регистр **DACDATA** данные регистра **CRA** = 1600h ( $\pm 10B$ ), или 0600h ( $\pm 5B$ , 0..+10B)
2. Записать в регистр **DACDADR** адрес регистра **CRA** = 000Ch
3. Дождаться обнуления бита **BUSY** регистра **DACST**
4. Записать в регистр **DACCTRL** код записи данных в регистр зоны SFRs :

0	0	0	0	SFREN=1	0	0	0
---	---	---	---	---------	---	---	---
5. Записать в регистры **DACDATA** данные регистра **CRB** = 2400h ( $\pm 10B$ ,  $\pm 5B$ ), или 2500h (0..+10B)
6. Записать в регистр **DACDADR** адрес регистра **CRB** = 000Ah
7. Дождаться обнуления бита **BUSY** регистра **DACST**
8. Записать в регистр **DACCTRL** код записи данных в регистр зоны SFRs :

0	0	0	0	SFREN=1	0	0	0
---	---	---	---	---------	---	---	---

#### 2. Одиночная запись данных в канал ЦАП:

1. Записать в регистр **DACDATA** данные регистра **IDR**
2. Дождаться обнуления бита **BUSY** регистра **DACST**
3. Записать в регистр **DACCTRL** код записи данных в регистр **IDR**:

DAEN=1	0	0	DALD	0	DACH2	DACH1	DACH0
--------	---	---	------	---	-------	-------	-------

DACH[2..0]=номер канала ЦАП (0..7)

DALD – обновлять - «1»/не обновлять - «0» выходы каналов ЦАП

**Примечание.** Пользователю необходимо учитывать время между записью данных в канал ЦАП и установкой соответствующего напряжения. Согласно описанию микросхемы AD5392 время изменения напряжения на выходах ЦАП со значения в  $\frac{1}{4}$  диапазона до значения в  $\frac{3}{4}$  диапазона составляет порядка 10 мкс.

### Дополнительные функции работы с ЦАП.

#### 1. Запись в регистр смещения канала ЦАП:

1. Записать в регистр **DACDATA** значение смещения для регистра **OR**
2. Дождаться обнуления бита **BUSY** регистра **DACST**
3. Записать в регистр **DACCTRL** код записи данных в регистр **OR**:

0	OFEN=1	0	0	0	DACH2	DACH1	DACH0
---	--------	---	---	---	-------	-------	-------

DACH[2..0]=номер канала ЦАП (0..7)

#### 2. Запись в регистр коэффициента усиления канала ЦАП:

1. Записать в регистр **DACDATA** значение смещения для регистра **GR**
2. Дождаться обнуления бита **BUSY** регистра **DACST**
3. Записать в регистр **DACCTRL** код записи данных в регистр **GR**:

0	0	GFEN=1	0	0	DACH2	DACH1	DACH0
---	---	--------	---	---	-------	-------	-------

DACH[2..0]=номер канала ЦАП (0..7)

#### 3. Запись регистра зоны SFRs ЦАП:

1. Записать в регистр **DACDATA** данные регистра зоны SFRs
2. Записать в регистр **DACDADR** адрес регистра/команды зоны SFRs
3. Дождаться обнуления бита **BUSY** регистра **DACST**
4. Записать в регистр **DACCTRL** код записи данных в регистр зоны SFRs :

0	0	0	0	SFREN=1	0	0	0
---	---	---	---	---------	---	---	---

## 16. Описание АЦП AD7328

Модуль позволяет подключать до 8 недифференциальных входных аналоговых сигналов или до 4 дифференциальных аналоговых сигналов и выполнять кодирование поступающей от них информации. Микросхема типа AD7328 имеет разрешающую способность 13 разрядов (12 разрядов + знак). Каналы измерения АЦП мультиплексированы. Номер канала АЦП для преобразования задается программно. Также программно задается тип подключения аналогового сигнала – недифференциальное или дифференциальное. Для каждого канала АЦП диапазон входного напряжения может быть запрограммирован индивидуально. Доступны диапазоны входных напряжений  $\pm 10\text{В}$ ,  $\pm 5\text{В}$ ,  $\pm 2.5\text{В}$ ,  $0..+10\text{В}$ . Максимальная допустимая частота оцифровки по одному каналу для модуля PC104-DD64 составляет 400 КГц.

В соответствии с задачей пользователя возможно 4 режима измерения входов АЦП: 8 одиночных входов, 4 пары дифференциальных, 7 псевдо-дифференциальных и 4 пары псевдо-дифференциальных входов.

### • Режим одиночных входов (режим по умолчанию).

В одиночном режиме пользователь имеет доступ к измерению 8-и одиночных входов АЦП относительно аналоговой земли AGND. Каждый аналоговый вход может быть независимо запрограммирован на один из четырех диапазонов напряжений  $\pm 10\text{В}$ ,  $\pm 5\text{В}$ ,  $\pm 2.5\text{В}$ ,  $0..+10\text{В}$ . Аналоговая земля АЦП AGND объединяется с сигнальной землей для всех 8-и входов Vin0..Vin7. Измерение происходит относительно аналоговой земли AGND. В общем случае, по этой причине имеют место помехи по постоянному току и синфазные помехи, но поскольку аналоговая земля AGND АЦП модуля PC104-DD64 гальванически независима, происходит погашение помех по постоянному току.

**Достоинства.** Наиболее простой режим ( по умолчанию)

**Недостатки.** Наименее помехозащищенный режим.

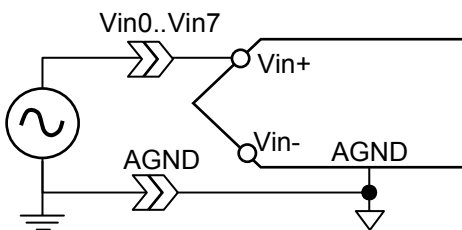


Рис. Подключение аналоговых входов к АЦП в режиме одиночного входа.

### • Дифференциальный режим.

Входы Vin0..Vin7 могут быть оцифрованы как 4 дифференциальных аналоговых входных пары (см. рис). Пары образуются четным и нечетным каналами Vin (например, дифференциальная пара Vin0-Vin1) см. таблицу 2.

Дифференциальный режим предназначен для измерения симметричного дифференциального сигнала, т.е. сигнала имеющего сдвиг фаз на  $180^\circ$ , при этом уровни таких сигналов одинаковы и отсчитываются от средней точки, потенциал которой определяется как значение  $(\text{Vin}+ - \text{Vin}-)/2$ . Максимальный измеряемый уровень входного дифференциального сигнала определяется как разность между значениями Vin+ и Vin- ( $\text{Vin}+ - \text{Vin}-$ ), т.е. максимальная амплитуда составляет  $2 \times \text{Vin}$ . К примеру для диапазона  $\pm 10\text{В}$  максимальная измеряемая амплитуда дифф. сигнала составит 20В. Амплитуды же каждого из сигналов на входах Vin+ и Vin- могут достигать 20В но при условии, что сигналы сдвинуты на  $180^\circ$  и симметричны относительно нулевой точки, амплитуда их дифференциального значения никогда не будет превышать 20В.

Дифференциальный вход обеспечивает подавление постоянной составляющей сигнала, а также синфазной помехи.

**Достоинства.** Наибольшая точность и помехозащищенность, независимость измерений между парами дифференциальных сигналов.

**Недостатки.** Необходимость в задействовании 2 входов АЦП для измерения сигналов на 1 канале.

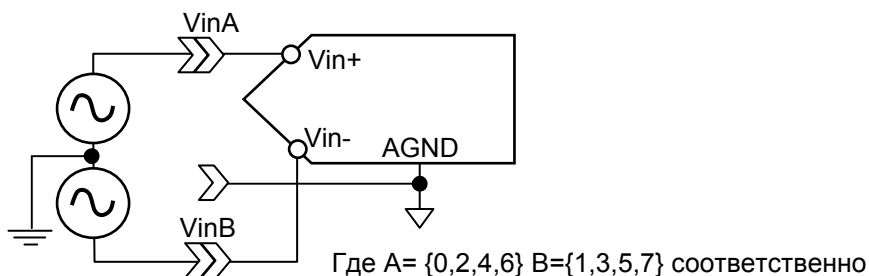


Рис. Подключение аналоговых входов к АЦП в дифференциальном режиме (один канал).

### • Псевдо-дифференциальный режим.

АЦП модуля может иметь 4 псевдо-дифференциальных пары входов или семь одиночных псевдо-дифференциальных входов, измеряемых относительно общего входа Vin-. В общем случае, псевдо-дифференциальный режим измерения PC104-DD64 v.2.1.corr25.v.

является улучшенными по сравнению с режимом одиночных входов из-за подавления помех по постоянному току. Но поскольку питание АЦП модуля PC104-DD64 гальванически независимо, то преимущества связанные с подавлением этого типа помех псевдо-дифференциальный режим не имеет. В режиме с подключением 4-х пар псевдо-дифференциальных входов измерение одиночных сигналов производится независимо, т.е. каждый одиночный сигнал будет измеряться относительно своей сигнальной пары. Например Vin0 относительно Vin1. В режим с подключением 7-и псевдо-дифференциальных входов Vin0..Vin6 (Vin+) измерение происходит относительно Vin7 (Vin-). В отличие от режима дифференциального измерения в псевдо-дифференциальном режиме не происходит подавления синфазных помех.

## 17. Работа с АЦП AD7328

Работа с АЦП модуля PC104-DD64 осуществляется путем настройки регистра управления АЦП, регистра диапазона 1 АЦП, регистра диапазона 2 АЦП **микросхемы АЦП AD7328**. Доступ к этим регистрам осуществляется через регистры ADCDATA, ADCST, ADCCTRL контроллера DD64, которые в свою очередь доступны по PC/104 (ISA). Механизмы доступа к регистрам м/сх АЦП AD7328 описаны ниже.

АЦП (тип AD7328) имеет 3 встроенных регистра, через которые осуществляется управление и работа с каналами АЦП:

- регистр управления – Control Register.** Содержит настройки **конфигурации аналоговых выходов** (одиночные каналы, дифференциальные каналы и т.д.), а также **способов кодирования выдаваемых данных** (прямая логика или двоичное дополнение).
  - регистр диапазона 1 - Range Register 1.** Для каждого из каналов в регистре задается собственный диапазон. Регистр диапазона 1 определяет диапазоны допустимых напряжений каналов Vin0-Vin3
  - регистр диапазона 2 - Range Register 2.** Для каждого из каналов в регистре задается собственный диапазон. Регистр диапазона 2 определяет диапазон допустимых напряжений каналов Vin4-Vin7. Эти регистры доступны только для записи.
- **Регистр управления АЦП Control Register.** Регистр управления используется для выбора аналогового канала входа, а также конфигурации аналоговых входов. Регистр управления доступен только для записи. Назначения битов регистра управления указаны в таблице (при подаче питания значение всех битов регистра управления = 0).

Формат регистра управления **Control Register**

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	ADD2	ADD1	ADD0	Mode1	Mode0	0	0	Coding	1	0	0	1
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

Таблица 1. Описание битов регистра управления.

Номер бита	Обозначение	Описание
11, 10, 9	ADD2, ADD1, ADD0	Эти биты адреса канала используется для выбора канала аналогового входа для текущего преобразования.
8, 7	Mode1, Mode0	Эти два бита режима используется для задания конфигурации аналоговых входов, номера которых заданы битами ADD2..ADD0. Эти биты используются в сочетании с битами адреса канала. Аналоговые входы модуля могут конфигурироваться как два несимметричных входа, как один истинно дифференциальный вход, или один псевдодифференциальный вход (см. табл. 2).
6, 5	-/-	0
4	Coding	Этот бит используется для выбора типа выходного кодирования AD7328. Если Coding = 0, выход кодирования – дополнительный код (двоичное дополнение). Если Coding = 1, выход кодирования - прямая двоичная логика.
3	REF	Бит должен быть установлен в 1. В этом случае он задает внутренний источник опорного напряжения. Внешний источник опорного напряжения не предусмотрен.
2, 1	Seq1, Seq2	Эти биты должны быть установлены в 0. В этом случае секвенсор АЦП не используется. Режим использования секвенсора не предусмотрен.
0	Weak/Z-сост	Если бит = 1, DOUT выход слабо подтянут к значению, записанному в бите ADD2 адреса канала.

8 аналоговых входных каналов могут быть сконфигурированы как 7 псевдодифференциальных входов, 4 псевдо-дифференциальных входа, 4 пары дифференциальных входов или 8 одиночных аналоговых входов.

Таблица 2. Выбор конфигурации аналогового входа.

Бит адреса канала			Mode1=1, Mode0=1		Mode1=1, Mode0=0		Mode1=0, Mode0=1		Mode1=0, Mode0=0	
			7 псевдо-дифф. входов		4 дифференц. входа		4 псевдо-дифф. входа		8 несимметр-х аналог-х входов	
ADD2	ADD1	ADD0	Vin+	Vin-	Vin+	Vin-	Vin+	Vin-	Vin+	Vin-
0	0	0	Vin0	Vin7	Vin0	Vin1	Vin0	Vin1	Vin0	AGND
0	0	1	Vin1	Vin7	Vin0	Vin1	Vin0	Vin1	Vin1	AGND
0	1	0	Vin2	Vin7	Vin2	Vin3	Vin2	Vin3	Vin2	AGND
0	1	1	Vin3	Vin7	Vin2	Vin3	Vin2	Vin3	Vin3	AGND
1	0	0	Vin4	Vin7	Vin4	Vin5	Vin4	Vin5	Vin4	AGND
1	0	1	Vin5	Vin7	Vin4	Vin5	Vin4	Vin5	Vin5	AGND
1	1	0	Vin6	Vin7	Vin6	Vin7	Vin6	Vin7	Vin6	AGND
1	1	1	xxx	xxx	Vin6	Vin7	Vin6	Vin7	Vin7	AGND

• **Регистры диапазона 1, 2 - Range Register 1,2.** Регистры диапазона используются для задания диапазона каждого аналогового входного канала. Это доступные только по записи регистры. Для задания диапазона предназначено по 2 бита на каждый канал. Допустимы 4 входных диапазона аналоговых напряжений:  $\pm 10\text{В}$ ;  $\pm 5\text{В}$ ;  $\pm 2,5\text{В}$ ;  $0\text{В}..+10\text{В}$ . Для каждого канала аналогового входа по умолчанию выбран диапазон  $\pm 10\text{В}$  (см. таблицу 2).

**Регистр диапазона 1** служит для задания диапазонов каналов 0..3.

Формат регистра диапазона **Range Register 1**

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	Vin0A	Vin0B	Vin1A	Vin1B	Vin2A	Vin2B	Vin3A	Vin3B	0	0	0	0
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

**Регистр диапазона 2** служит для задания диапазонов каналов 4..7.

Формат регистра диапазона **Range Register 2**

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	Vin4A	Vin4B	Vin5A	Vin5B	Vin6A	Vin6B	Vin7A	Vin7B	0	0	0	0
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr

Таблица 3. Выбор диапазона входных каналов АЦП.

VINxA	VINxB	Описание
0	0	Входной диапазон $\pm 10\text{В}$
0	1	Входной диапазон $\pm 5\text{В}$
1	0	Входной диапазон $\pm 2,5\text{В}$
1	1	Входной диапазон от 0 до 10 В

Доступ к регистрам АЦП осуществляется через регистры **контроллера ЦАП/АЦП** находящихся в зоне косвенной адресации:

Регистр данных – **ADCDATA (Read/Write, RA=06h)**,

Регистр управления данными – **ADCCONTROL (Write only, RA=07h)**,

Регистр состояния – **ADCSTATE (Read only, RA=07h)**.

Для того, чтобы записать данные в один из регистров АЦП (Control Register, Range Registers 1, 2) необходимо сначала записать их в регистр ADCDATA (RA=06), а затем в регистре ADCCONTROL задать команду для передачи этих данных в нужный регистр АЦП. Команда запуска преобразования АЦП также записывается в регистр ADCCONTROL и имеет наивысший приоритет по отношению к командам записи данных.

В том случае если была дана команда на преобразование, то результат преобразования можно будет прочитать в регистре ADCDATA только после снятия бита занятости АЦП в регистре ADCSTATE. Таким образом, регистр ADCDATA по записи передает настройки в АЦП, а по чтению возвращает результаты преобразования.

Подробно последовательности обращения к регистрам АЦП рассмотрены в разделе «**Типовые алгоритмы работы с АЦП AD7328**»



Формат регистра данных ADCDATA. (Write, RA=06h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	Wr

AD[11..0] - данные для загрузки в регистры выбранного канала АЦП.

Формат регистра данных ADCDATA. (Read, RA=06h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	ADCH2	ADCH1	ADCH0	SIGN	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	Rd

В регистре содержится результат преобразования АЦП:

ADCH[2..0] - номер канала, SIGN - знаковый бит, ADD[11..0] - разряды данных.

Формат регистра управления данными ADCCONTROL. (Write only, RA=07h)

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	ADEN	CREN	RR1EN	RR2EN	0	0	0	0
Доступ	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	wr	Wr

После установки бит регистра управления происходит запись данных в регистры АЦП и/или запуск преобразования.

ADEN = "1" – запустить преобразование АЦП.

CREN = "1" – записать в **Control Register** АЦП.

RR1EN = "1" – записать в **Range Register 1** АЦП.

RR2EN = "1" – записать в **Range Register 2** АЦП.

Бит ADEN имеет более высокий приоритет, т.е. если одновременно дается команда на преобразование и устанавливается один из битов ADCCONTROL[6..4], то их значение игнорируется.

**ВНИМАНИЕ!** В случае, когда ADEN = "0" и одновременно установлены биты ADCCONTROL[6..4] - результат непредсказуем.

Формат регистра состояния ADCSTATE. (Read only, RA=07h)

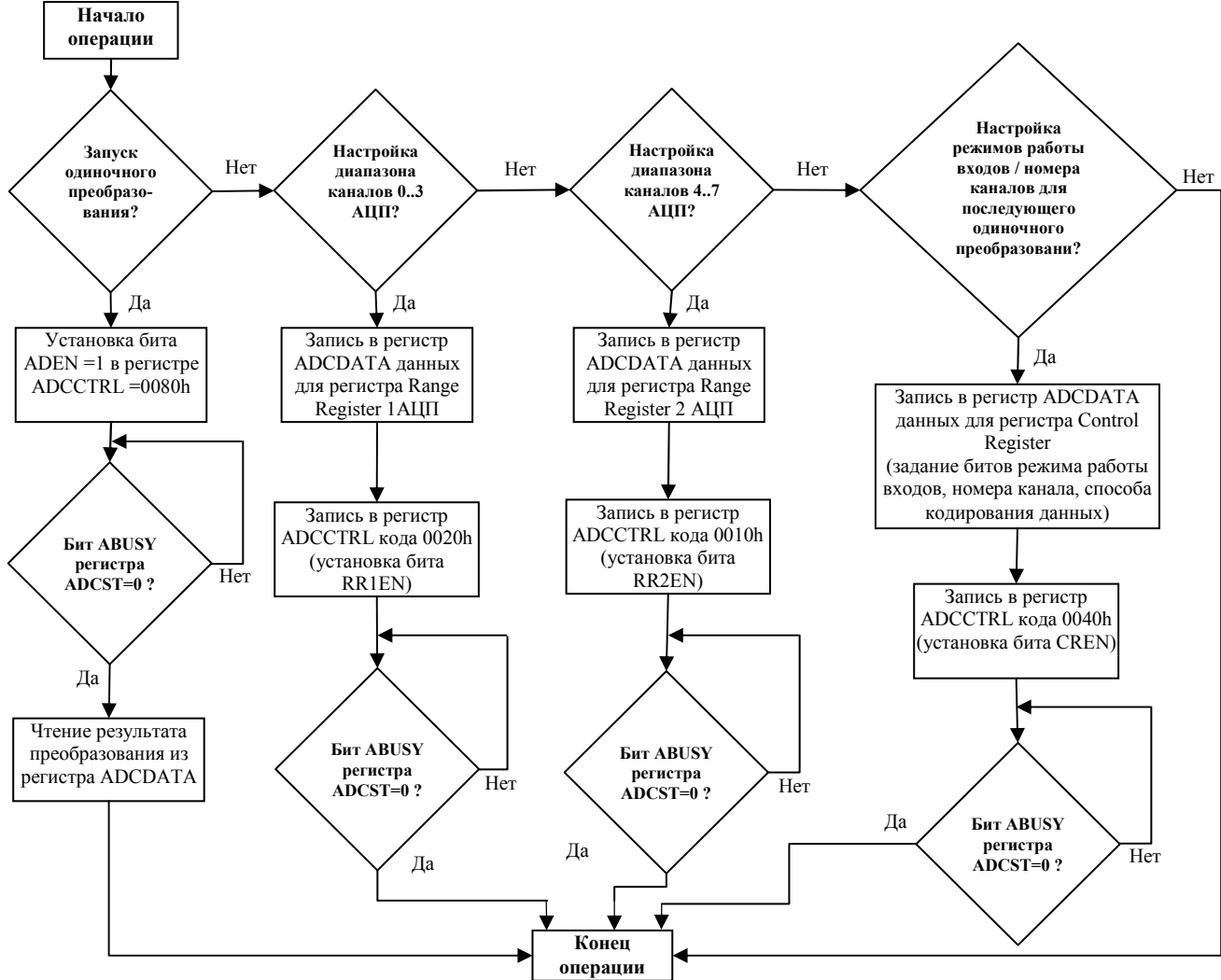
№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	ABUSY	0	0	0	0	0	0	0
Доступ	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	rd	Rd

ABUSY=1 - признак занятости АЦП. Перед каждой записью в АЦП либо чтением результата преобразования необходимо проверять значение бита ABUSY=0 (АЦП не занят). Другой способ корректного обмена с АЦП - это выдерживать гарантированную задержку между записью/чтением регистров.

## 18. Типовые алгоритмы работы с АЦП AD7328

На диаграмме представлен общий алгоритм работы с АЦП AD7328 на примере АЦП1 через регистры контроллера DD64. Алгоритмы работы для АЦП2 аналогичны с тем различием, что вместо регистров ADCDATA, ADCCTRL и ADCST используются регистры ADC2DATA, ADC2CTRL, ADC2ST.

В разделе представлены последовательности выполнения обращений к **контроллеру ЦАП/АЦП DD64** для выполнения типовых функций АЦП:



### • Задание диапазонов входных каналов 0..3 АЦП:

1. Записать в регистры ADCDATA (RA=06h) данные для загрузки в **Range Register 1** АЦП.

ADCDATA=>

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	Vin0A	Vin0B	Vin1A	Vin1B	Vin2A	Vin2B	Vin3A	Vin3B	0	0	0	0

Значения **VinxA**, **VinxB** см. в таблице 2.

2. Записать в регистр ADCCONTROL (RA=07h) следующий код:

ADCCONTROL=>

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	0	0	RR1EN=1	0	0	0	0	0

3. Дождаться, пока не снимется признак занятости АЦП (бит ABUSY регистра ADCSTATE).

ADCSTATE<=

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	ABUSY=(1 --> 0)	0	0	0	0	0	0	0

• **Задание диапазонов входных каналов 4..7 АЦП:**

1. Записать в регистры ADCDATA (RA=06h) данные для загрузки в **Range Register 2** АЦП.

ADCDATA=>

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	Vin4A	Vin4B	Vin5A	Vin5B	Vin6A	Vin6B	Vin7A	Vin7B	0	0	0	0

2. Записать в регистр ADCCONTROL (RA=07h) следующий код:

ADCCONTROL=>

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	0	0	0	RR2EN=1	0	0	0	0

3. Дождаться, пока не снимется признак занятости АЦП (бит ABUSY регистра ADCSTATE).

ADCSTATE<=

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	ABUSY=(1 --> 0)	0	0	0	0	0	0	0

• **Установка режима работы входов АЦП и номера канала для преобразования**

1. Записать в регистры ADCDATA (RA=06h) данные для загрузки в **Control Register** АЦП, указав номер канала **ADD[2..0]**, режим для входов **Mode[1..0]** и способ кодирования **Coding**:

ADCDATA=>

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	ADD2	ADD1	ADD0	Mode1	Mode0	0	0	Coding	1	0	0	1

2. Записать в регистр ADCCONTROL (RA=07h) следующий код:

ADCCONTROL=>

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	0	CREN = 1	0	0	0	0	0	0

3. Дождаться, пока не снимется признак занятости АЦП (бит ABUSY регистра ADCSTATE).

ADCSTATE<=

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	ABUSY=(1 -> 0)	0	0	0	0	0	0	0

• **Одиночный запуск преобразования АЦП:**

(перед запуском преобразования необходимо установить диапазон входных каналов, режим работы и номер канала, напряжение на котором будет преобразовано в цифровой код)

5. Записать в регистр ADCCONTROL (RA=07h) код запуска преобразования АЦП:

ADCCONTROL=>

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	ADEN=1	0	0	0	0	0	0	0

6. Дождаться, пока не снимется признак занятости АЦП (бит ABUSY регистра ADCSTATE).

ADCSTATE<=

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	0	0	0	0	0	0	0	0	ABUSY=(1 --> 0)	0	0	0	0	0	0	0

7. Прочитать из регистра ADCDATA (RA=06h) результат преобразования.

ADCDATA<=

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	ADCH2	ADCH1	ADCH0	SIGN	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0

**Примечание.** Если пользователю необходимо оцифровывать напряжение с одного канала, то для осуществления преобразования необходимо каждый раз запускать **Одиночный запуск преобразования АЦП**. Если пользователю необходимо оцифровывать напряжение с разных каналов, то перед **Одиночным запуском преобразования** нужно установить **Режим работы входов и номер канала для преобразования**.

## 19. Работа с таймером.

В модуле PC104-DD64 реализован аппаратный 16-ти разрядный таймер, тактируемый от 16-ти разрядного делителя частоты, с диапазоном периода тактирования 1-65536 мкс (1МГц – 15,259 Гц).

Основные режимы работы таймера:

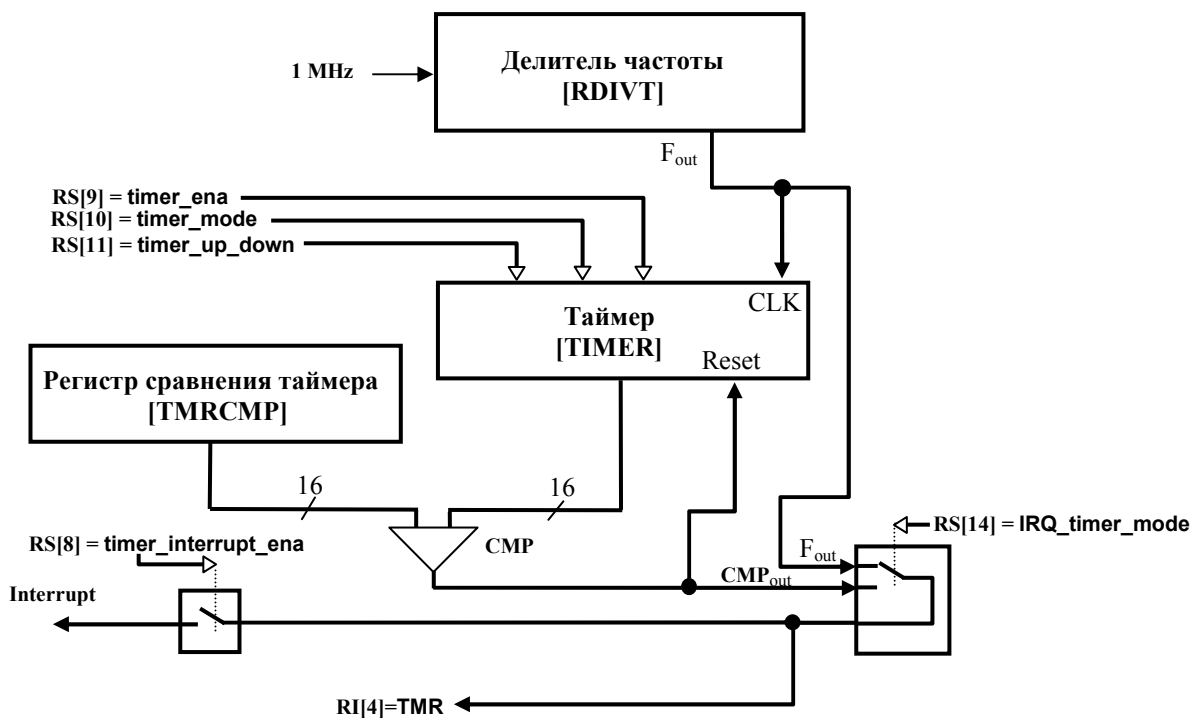
- **Режим генерации регулярных прерываний без контроля пропуска прерываний.** Генерация прерываний происходит через определенные, задаваемые пользователем интервалы времени. Такой генератор регулярных прерываний может быть использован для тактирования временных интервалов в задачах реального времени. Длительность одного интервала задается программно и состоит из N тактов, где  $N = [1...65536]$ , а длительность одного такта может варьироваться от 1 мкс до 65536 мкс и также задается программно. При работе таймера в этом режиме не исключена ситуация, когда прерывания будут поступать слишком часто. В этом случае программа пользователя может не успевать обработать одно прерывание, когда уже сгенерировано новое прерывание. В таком случае факт пропуска прерывания установить невозможно.

- **Режим генерации регулярных прерываний с контролем пропуска прерываний.** Также как и в первом режиме, генерация происходит через определенные, задаваемые пользователем интервалы времени. Однако в отличие от первого режима длительность одного интервала не может превышать 65536 мкс. Также в этом режиме предусмотрена возможность контролировать пропуск прерывания от таймера.

- **Режим измерения промежутков времени.** Точность измерения задается программно и варьируется от 1 мкс до 65536 мкс (настраиваемая длительность одного такта таймера). Используя только аппаратные ресурсы модуля, пользователь может измерять промежутки времени длительностью 65536 тактов таймера. Используя и программные ресурсы ЭВМ, пользователь может измерять сколь угодно длительные промежутки времени с точностью до 1 мкс.

Реализация каждого из режимов будет описана ниже.

Внутренняя организация таймера представлена на рисунке:



Работа с таймером осуществляется через регистры RS, TIMER, RDI VT, TMRCMP, RI.

Общий принцип работы таймера.

На делитель частоты поступает частота 1 МГц. В зависимости от значения, записанного в регистре делителя частоты, на выходе делителя оказывается частота  $F_{out}$ . Эта частота тактирует таймер и может быть подана на линию IRQ шины ISA. Запуск/остановка таймера, циклический/однократный режим работы таймера, счет с инкрементом/декрементом осуществляются установкой битов регистра RS. Таймер может работать в циклическом и однократном режиме. В однократном режиме таймер останавливается, когда достигает значения, записанного в регистре TMRCMP. В циклическом режиме при достижении таймером значения, записанного в регистре сравнения таймера TMRCMP, таймер сбрасывается, и счет тактов начинается заново.

### ● Таймер, регистр TIMER.

Обмен данными с таймером осуществляется через регистр TIMER. При записи в регистре устанавливается начальное значение таймера. При чтении - возвращает текущее значение.

Формат данных регистра таймера **TIMER (Address= BASE+0Ah)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	<b>TMR15</b>	<b>TMR14</b>	<b>TMR13</b>	<b>TMR12</b>	<b>TMR11</b>	<b>TMR10</b>	<b>TMR9</b>	<b>TMR8</b>	<b>TMR7</b>	<b>TMR6</b>	<b>TMR5</b>	<b>TMR4</b>	<b>TMR3</b>	<b>TMR2</b>	<b>TMR1</b>	<b>TMR0</b>
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где **TMR[15..0]** – значение таймера. *Default state: TMR[15..0] = 0000h*

Управление таймером организовано через регистр настроек **RS**:

**RS[9] = timer\_ena** = 1/0 – запуск/остановка счета таймера.

**RS[10] = timer\_mode** = 1/0 – однократный/циклический режим работы таймера

**RS[11] = timer\_up\_down** = 1/0 – счет вниз/вверх.

#### • Делитель частоты, регистр **RDIVT**.

Делитель частоты формирует частоту тактирования таймера. На делитель поступает частота от генератора равная 1 МГц. На выходе делителя формируется частота, определенная значением, записанным в регистр делителя частоты **RDIVT**.

Формат данных регистра делителя частоты **RDIVT (RA = 12h)**:

№ бита	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Название бита	<b>DiV15</b>	<b>DiV14</b>	<b>DiV13</b>	<b>DiV12</b>	<b>DiV11</b>	<b>DiV10</b>	<b>DiV9</b>	<b>DiV8</b>	<b>DiV7</b>	<b>DiV6</b>	<b>DiV5</b>	<b>DiV4</b>	<b>DiV3</b>	<b>DiV2</b>	<b>DiV1</b>	<b>DiV0</b>
Доступ	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr	rd/wr

где **DiV[15..0]** – значение для деления частоты 1 МГц.

*Default state: DiV[15..0] = 0000h*

Частота тактирования таймера на выходе делителя определяется по формуле:

$$F_{out} = 1\ 000\ 000 / (DiV[15..0] + 1) \text{ Гц,}$$

Таким образом, таймер может тактироваться от минимальной частоты 15.259 Гц (при **RDIVT** = 0xFFFF) до 1 МГц (при **RDIVT** = 0x0000).

#### • Регистр сравнения таймера **TMRCMP (RA = 02h)**.

Цифровой компаратор **CMP** формирует флаг в регистре прерывания **RI** по совпадению значения таймера с регистром сравнения **TMRCMP**, а также формирует сброс таймера. В случае если в регистре настройки **RS[13] = Global\_int\_ena = 1**, то будет сгенерировано прерывание.

Значение по умолчанию регистра сравнения таймера **TMRCMP = 0000h**.

#### • Прерывания таймера

Разрешение прерывания от таймера устанавливается в регистре настроек:

**RS[8] = timer\_interrupt\_ena** = 1/0 – разрешение/запрещение формирования прерывания от таймера.

Таймер имеет два источника прерываний: от компаратора при совпадении значений **TMRCMP** и **TIMER**, а также от делителя частоты **RDIVT**. Активный источник прерываний определяется битом:

**RS[14] = IRQ\_timer\_mode** = 1/0 – делитель частоты / компаратор.

Режим, когда прерывания формируются от делителя частоты, позволяет организовать с помощью модуля PC104-DD64 аппаратный источник прерываний высокой частоты, который может применяться для построения программ реального времени с малым временем реакции (от 1\* до 65536 мкс).

Режим, когда прерывание формируется от регистра сравнения, позволяет построить программу реального времени с большими интервалами отсчетов (до значения  $T = 65535 \cdot 1/15,259 = 4294,9$  с).

**\*ВНИМАНИЕ!** При написании ПО программист должен учитывать возможности контроллера прерываний (**КП**) процессорной платы ЭВМ, т.к. частота поступления прерываний от модуля PC104-DD64 не должна превышать максимально возможную частоту обработки прерываний **КП** процессорной платы. В случае если прерывания будут формироваться с частотами близкими к максимальным для используемого в ЭВМ **КП** – это может привести к зависанию системы либо некорректной работе программы.

**Инициализация таймера.** Для первоначального запуска таймера недостаточно только установить бит **RS[9]=1**. Необходимо также установить значение регистра сравнения таймера **TMRCMP** отличным от 0000h (0000h – значение по умолчанию), т.к. при значении регистра **TMRCMP** равным 0000h, значение таймера **TIMER** всегда будет равно 0000h как в циклическом, так и в однократном режимах, даже если таймер запущен.

**Примечание.** Пользователю необходимо учитывать, что при подаче питания или при сбросе контроллера DD64 в регистре **RI** бит **TMR** установлен в «1». Этот бит сбрасывается в «0» чтением регистра **TIMER**.

● **Реализация режима генерации регулярных прерываний без контроля пропуска прерываний.**

Длительность одного интервала времени определяется формулой

$$T=(DIVT\_value + 1)*(TMRCMP\_value + 1) \text{ мкс. ,}$$

где **DIVt\_value** – значение, записанное в регистре RDIVT,

**TMRCMP\_value** – значение записанное в регистре TMRCMP.

Для инициализации таймера необходимо проделать следующую последовательность действий.

1. Записать в регистр делителя частоты RDIVT значение DIVT\_value и в регистр сравнения таймера TMRCMP значение TMRCMP\_value исходя из длительности требуемого интервала времени.
2. Установить начальное значение таймера равным нулю.
3. Записать в регистр RS код  $x01x.0011.xxxx.xxxx_2$

● **Реализация режима генерации регулярных прерываний с контролем пропуска прерываний.**

Длительность одного интервала времени определяется формулой

$$T=(DIVT\_value + 1) \text{ мкс. ,}$$

где **DIVt\_value** – значение, записанное в регистре RDIVT,

Для инициализации таймера необходимо проделать следующую последовательность действий.

1. Записать в регистр делителя частоты RDIVT значение DIVT\_value исходя из длительности требуемого интервала времени.
2. Записать в регистр сравнения таймера TMRCMP значение 0xFFFF.
2. Установить начальное значение таймера равным нулю.
3. Записать в регистр RS код  $x11x.0011.xxxx.xxxx_2$
4. При поступлении прерывания в обработчике прерываний прочитать регистр таймера TMR. Если значение таймера увеличилось на  $n \geq 2$  раз относительно значения предыдущего входа в обработчик прерывания, то это является признаком n-1-кратного пропуска прерываний. В этом режиме, фактически, таймер является аппаратным счетчиком прерываний. Пользователю стоит учитывать, что в этом режиме отбой блокировки прерывания обязателен и происходит по чтению значения таймера: регистра **TIMER**.

● **Режим измерения промежутков времени.**

1. Записать в регистр делителя частоты RDIVT значение DIVT\_value, задающее длительность одного такта таймера TMR. В этом случае значение (DIVT\_value+1) фактически будет равным точности измерения интервала времени (в мкс).
2. Записать в регистр сравнения таймера TMRCMP значение 0xFFFF.
2. Установить начальное значение таймера равным нулю.
3. Записать в регистр RS код  $x11x.0011.xxxx.xxxx_2$
4. При каждом такте делителя частоты значение таймера будет инкрементироваться. При совпадении значения таймера TMR\_value со значением регистра сравнения таймера TMRCMP будет генерироваться прерывание. Таким образом, если ожидаемая длительность измеряемого интервала может превысить (DIVT\_value+1)\*65536 мкс, то для измерения таких интервалов времени пользователь может в своей программе создать переменную irq\_cnt, содержащую количество вызываемых прерываний от таймера и инкрементируемую при каждом прерывании от таймера.

Длительность измеряемого промежутка времени в таком случае может быть вычислена по формуле:

$$T = DIVT\_value \cdot [10000h \cdot irq\_cnt + TMR\_value]$$

## **20. Рекомендации по эксплуатации и техническому обслуживанию.**

Связь платы с внешними устройствами осуществляется через кабели, изготавливаемые пользователем и подключаемые к соединителям DI\_1\_8, DI\_9\_16, DI\_17\_24, DI\_25\_32, DI\_33\_40, DI\_41\_48, DI\_49\_56, DI\_57\_64, ADC, DAC, PWR цепи которых приведены в таблицах 20.1 – 20.11:

Таблица 20.1. Цепи внешнего соединителя DI\_1\_8 модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DI1	5	DI3	9	DI5	13	DI7
2	GND_DI1	6	GND_DI3	10	GND_DI5	14	GND_DI7
3	DI2	7	DI4	11	DI6	15	DI8
4	GND_DI2	8	GND_DI4	12	GND_DI6	16	GND_DI8

Таблица 20.2. Цепи внешнего соединителя DI\_9\_16 модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DO9	5	DO11	9	DO13	13	DO15
2	GND_DO9	6	GND_DO11	10	GND_DO13	14	GND_DO15
3	DO10	7	DO12	11	DO14	15	DO16
4	GND_DO10	8	GND_DO12	12	GND_DO14	16	GND_DO16

Таблица 20.3. Цепи внешнего соединителя DI\_17\_24 модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DI17	5	DI19	9	DI21	13	DI23
2	GND_DI17	6	GND_DI19	10	GND_DI21	14	GND_DI23
3	DI18	7	DI20	11	DI22	15	DI24
4	GND_DI18	8	GND_DI20	12	GND_DI22	16	GND_DI24

Таблица 20.4. Цепи внешнего соединителя DI\_25\_32 модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DO25	5	DO27	9	DO29	13	DO31
2	GND_DO25	6	GND_DO27	10	GND_DO29	14	GND_DO31
3	DO26	7	DO28	11	DO30	15	DO32
4	GND_DO26	8	GND_DO28	12	GND_DO30	16	GND_DO32

Таблица 20.5. Цепи внешнего соединителя DI\_33\_40 модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DI33	5	DI35	9	DI37	13	DI39
2	GND_DI33	6	GND_DI35	10	GND_DI37	14	GND_DI39
3	DI34	7	DI36	11	DI38	15	DI40
4	GND_DI34	8	GND_DI36	12	GND_DI38	16	GND_DI40

Таблица 20.6. Цепи внешнего соединителя DI\_41\_48 модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DO41	5	DO43	9	DO45	13	DO47
2	GND_DO41	6	GND_DO43	10	GND_DO45	14	GND_DO47
3	DO42	7	DO44	11	DO46	15	DO48
4	GND_DO42	8	GND_DO44	12	GND_DO46	16	GND_DO48

Таблица 20.7. Цепи внешнего соединителя DI\_49\_56 модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DI49	5	DI51	9	DI53	13	DI55
2	GND_DI49	6	GND_DI51	10	GND_DI53	14	GND_DI55
3	DI50	7	DI52	11	DI54	15	DI56
4	GND_DI50	8	GND_DI52	12	GND_DI54	16	GND_DI56

Таблица 20.8. Цепи внешнего соединителя DI\_57\_64 модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DO57	5	DO59	9	DO61	13	DO63
2	GND_DO57	6	GND_DO59	10	GND_DO61	14	GND_DO63
3	DO58	7	DO60	11	DO62	15	DO64
4	GND_DO58	8	GND_DO60	12	GND_DO62	16	GND_DO64

Таблица 20.9. Цепи внешнего соединителя ADC модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	ADC1_8	5	ADC1_6	9	ADC1_4	13	ADC1_2
2	GND_ADC	6	GND_ADC	10	GND_ADC	14	GND_ADC
3	ADC1_7	7	ADC1_5	11	ADC1_3	15	ADC1_1
4	GND_ADC	8	GND_ADC	12	GND_ADC	16	GND_ADC

Таблица 20.10. Цепи внешнего соединителя DAC модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	DAC_1	5	DAC_3	9	DAC_5	13	DAC_7
2	GND_DAC	6	GND_DAC	10	GND_DAC	14	GND_DAC
3	DAC_2	7	DAC_4	11	DAC_6	15	DAC_8
4	GND_DAC	8	GND_DAC	12	GND_DAC	16	GND_DAC

Таблица 20.11. Цепи внешнего соединителя PWR модуля PC104-DD64

№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь	№ контакта	Цепь
1	5 В	3	-15V_ext	5	GND	7	+15V_ext
2	GND_ext	4	-15V_ext	6	GND_ext	8	+15V_ext

Типы соединителей РК и ЦАП/АЦП, установленных на модуле – **Molex 87833-16PIN**.

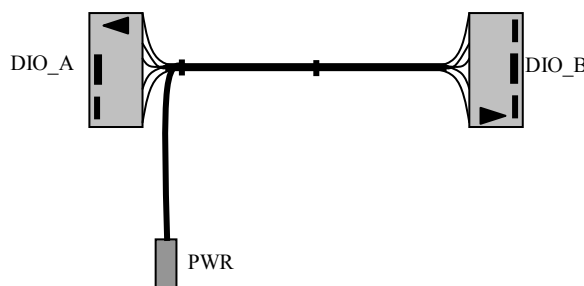
Типы ответных частей – **Molex 51110-1651** с контактами **Molex 50394-8051**.

Ответные части входят в комплект поставки модуля.

По желанию пользователя вместо разъемов **Molex 87833-16PIN** могут быть установлены разъемы типа **PLD2/PLDR2**.

### **Описание тестового жгута X1\_DIO**

Таблица соединений жгута X1_DIO	
Название соединения	Цепи
DO9-DI1	DIO_A-1, DIO_B-1
DO10-DI2	DIO_A-3, DIO_B-3
DO11-DI3	DIO_A-5, DIO_B-5
DO12-DI4	DIO_A-7, DIO_B-7
DO13-DI5	DIO_A-9, DIO_B-9
DO14-DI6	DIO_A-11, DIO_B-11
DO15-DI7	DIO_A-13, DIO_B-13
DO16-DI8	DIO_A-15, DIO_B-15
PWR(+15V)	DIO_A-2, DIO_A-4, DIO_A-6, DIO_A-8, DIO_A-10, DIO_A-12, DIO_A-14, DIO_A-16, PWR-1
PWR(-15V)	DIO_B-2, DIO_B-4, DIO_B-6, DIO_B-8, DIO_B-10, DIO_B-12, DIO_B-14, DIO_B-16, PWR-2



Тестовый жгут X1\_DIO предназначен для проверки работоспособности разовых команд модуля. Для осуществления проверки необходимо подключить тестовый жгут к разъемам

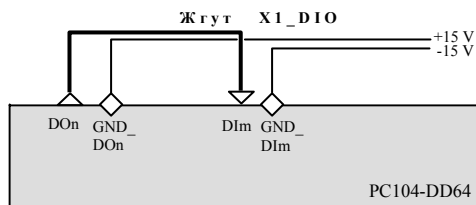
DI\_1\_8, DI\_9\_16 для проверки разовых команд 1-16,

DI\_17\_24, DI\_25\_32 для проверки разовых команд 17-32,

DI\_33\_40, DI\_41\_48 для проверки разовых команд 33-48,

DI\_49\_56, DI\_57\_64 для проверки разовых команд 49-64.



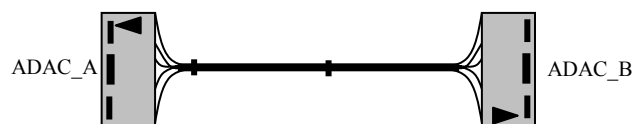


При выдаче РК DOn на входе разовой команды DIm появляется напряжение 30В, что достаточно для срабатывания входного каскада РК. Тестовый источник питания должен быть при этом включен, а полярность подключения жгута к разъему PWR не имеет значения, так как каскады входных РК построены таким образом, что могут принимать сигналы любой полярности.

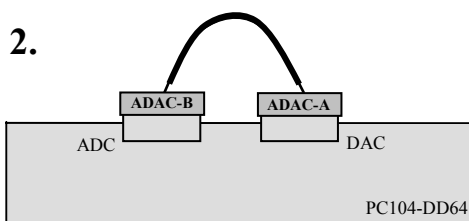
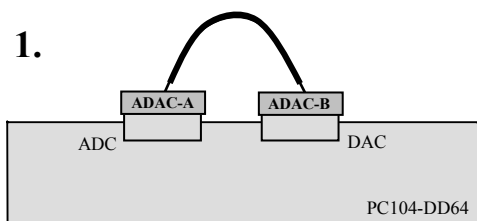
Следует учитывать, что тестовый источник питания имеет мощность 1 Вт, поэтому не рекомендуется включать все РК одновременно, т.к. в этом случае мощность, потребляемая разовыми командами, становится больше мощности, которую способен выдать источник питания, что может привести к его аварийному отключению.

## Описание тестового жгута X2\_ADAC

Таблица соединений жгута X2_ADAC	
Название соединения	Цепи
ADC1-DAC1	ADAC_A-1, ADAC_B-15
ADC2-DAC2	ADAC_A-3, ADAC_B-13
ADC3-DAC3	ADAC_A-5, ADAC_B-11
ADC4-DAC4	ADAC_A-7, ADAC_B-9
ADC5-DAC5	ADAC_A-9, ADAC_B-7
ADC6-DAC6	ADAC_A-11, ADAC_B-5
ADC7-DAC7	ADAC_A-13, ADAC_B-3
ADC8-DAC8	ADAC_A-15, ADAC_B-1
GND_DAC_ADC	ADAC_A-2, ADAC_A-4, ADAC_A-6, ADAC_A-8, ADAC_A-10, ADAC_A-12, ADAC_A-14, ADAC_A-16, ADAC_B-2, ADAC_B-4, ADAC_B-6, ADAC_B-8, ADAC_B-10, ADAC_B-12, ADAC_B-14, ADAC_B-16



Жгут X2\_ADAC подключается к разъемам ADC и DAC модуля. Все соединения в жгуте являются симметричными, т.е. возможны оба типа подключений:



## Приложение 1. Регистры PC104-DD64

### Зона регистров прямой адресации:

Смещение отн. BASE	Доступ по WR	Доступ по RD
BASE+8h	RI(отбой прерываний) регистр прер.	RI
BASE+Ah	TIMER регистр таймера	TIMER
BASE+Ch	RA регистр адреса	---
BASE+Eh	RD регистр данных	RD

### Зона регистров косвенной адресации:

Доступ к регистрам косвенной адресации осуществляется через регистры адреса RA и данных RD.

Адрес в RA	Рег. доступные по записи (Wr)	Рег. доступные по чтению (Rd)	Адрес в RA	Рег. доступные по записи (Wr)	Рег. доступные по чтению (Rd)
00h	-	RID	30h	EXT_MUX_CFG	Ext_Mux_Cfg
01h	RS	RS	39h	MUX1_16_1	MUX1_16_1
02h	TMRCMP	-	3Bh	MUX1_32_17	MUX1_32_17
03h	DACDATA	-	3Dh	MUX1_48_33	MUX1_48_33
04h	DACADR	-	3Fh	MUX1_64_49	MUX1_64_49
05h	DACCTRL	DACST	49h	MUX2_16_1	MUX2_16_1
06h	ADCDATA	ADCDATA	4Bh	MUX2_32_17	MUX2_32_17
07h	ADCCTRL	ADCST	4Dh	MUX2_48_33	MUX2_48_33
08h	RDO_8_1	-	4Fh	MUX2_64_49	MUX2_64_49
09h	RDO_16_9	RDI_16_1	59h	MUX3_16_1	MUX3_16_1
0Ah	RDO_24_17	-	5Bh	MUX3_32_17	MUX3_32_17
0Bh	RDO_32_25	RDI_32_17	5Dh	MUX3_48_33	MUX3_48_33
0Ch	RDO_40_33	-	5Fh	MUX3_64_49	MUX3_64_49
0Dh	RDO_48_41	RDI_48_33	60h	-	RD_MATR
0Eh	RDO_56_49	-	70h	-	-
0Fh	RDO_64_57	RDI_64_49	75h	PROG_RESET	-
10h	<i>Reserved</i>	<i>Reserved</i>	78h	-	IOCFG1_16_1
11h	<i>Reserved</i>	<i>Reserved</i>	79h	-	IOCFG1_32_17
12h	RDIVT	RDIVT	7Ah	-	IOCFG1_48_33
14h	OUTDRIVE_REG	OUTDRIVE_REG	7Bh	-	IOCFG1_64_49
18h	iMASK_8_1	-	7Ch	-	IOCFG2_16_1
19h	iMASK_16_9	-	7Dh	-	IOCFG2_32_17
1Ah	iMASK_24_17	-	7Eh	-	IOCFG2_48_33
1Bh	iMASK_32_25	-	7Fh	-	IOCFG2_64_49
1Ch	iMASK_40_33	-	80h÷83h	-	M1_16_1÷M1_64_49
1Dh	iMASK_48_41	-	84h÷87h	-	M2_16_1÷M2_64_49
1Eh	iMASK_56_49	-	88h÷8Bh	-	M3_16_1÷M3_64_49
1Fh	iMASK_64_57	-	8Ch÷8Fh	-	M4_16_1÷M4_64_49
20h	-	DACCFG	90h÷93h	-	M5_16_1÷M5_64_49
21h	-	ADCCFG	94h÷98h	-	M6_16_1÷M6_64_49
29h	RIF_16_1	RiF16_1	98h÷9Bh	-	M7_16_1÷M7_64_49
2Bh	RIF_32_17	RiF32_17	9Ch÷9Fh	-	M8_16_1÷M8_64_49
2Dh	RIF_48_33	RiF48_33			
2Fh	RIF_64_49	RiF64_49			

ЗАО «Электронная компания «Элкус».

г. Санкт-Петербург, ул. Варшавская, д.5А, лит. Л.

тел./факс: (812) 610-1884 доб. 017 (лаборатория ARINC 429).

E-mail: [mail@elcus.ru](mailto:mail@elcus.ru)

[arinc@elcus.ru](mailto:arinc@elcus.ru)

2013 г.

**Приложение 2. Габаритный чертеж модуля PC104-DD64**

